

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-179819

(43)Date of publication of application : 11.07.1997

(51)Int.Cl.

G06F 13/42

(21)Application number : 08-232147

(71)Applicant : HITACHI LTD

(22)Date of filing : 02.09.1996

(72)Inventor : UMEMURA MASAYA
TAKEKUMA SHUNJI

(30)Priority

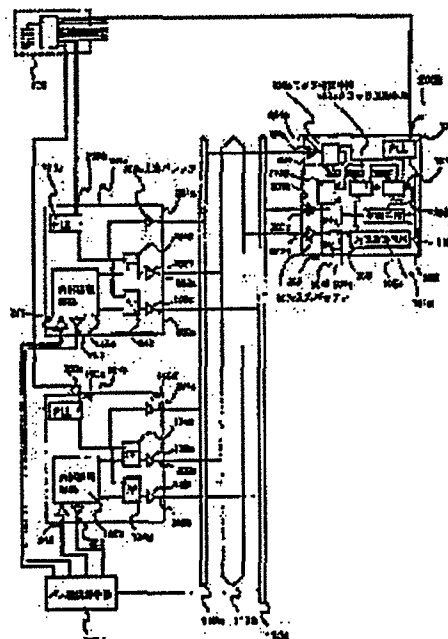
Priority number : 07279146 Priority date : 26.10.1995 Priority country : JP

(54) SYNCHRONOUS DATA TRANSFER SYSTEM

(57)Abstract

PROBLEM TO BE SOLVED: To obtain a system whereby a data transfer cycle at the time of transferring data is shortened, that is, the improvement of an operation frequency in a bus system is not prevented by separating a phase reference signal, data and a transfer end signal, giving them order to be transmitted and separating the phase reference signal, data and the transfer end signal.

SOLUTION: The bus 112a and a data bus 112b of the phase information signal and the bus 112c of the transfer end information signal are provided among a semiconductor chip 101a-c. An edge detecting means 108a detecting an edge from PLL and the phase end information signal, clock selecting means selecting a clock from the detected phase information signal 109a and b and a clock change-over equipment 111a are provided in a semiconductor chip. In this configuration, the phase reference signal, data and the transfer end signal are separated, order for transmit is given and the phase reference signal data and the transfer end signal are separated. Thus, the time required for transferring the phase reference signal and selecting a latch clock is concealed by the data transfer cycle so as to be made into a pipeline.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-179819

(43) 公開日 平成9年(1997)7月11日

(51) Int.Cl.⁶
G 0 6 F 13/42

識別記号
3 5 0

庁内整理番号

F I
G 0 6 F 13/42

技術表示箇所

3 5 0 A

審査請求 未請求 請求項の数47 OL (全 35 頁)

(21) 出願番号 特願平8-232147

(22) 出願日 平成8年(1996)9月2日

(31) 優先権主張番号 特願平7-279146

(32) 優先日 平7(1995)10月26日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 梅村 雅也

神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72) 発明者 武隈 俊次

神奈川県海老名市下今泉810番地 株式会社日立製作所オフィスシステム事業部内

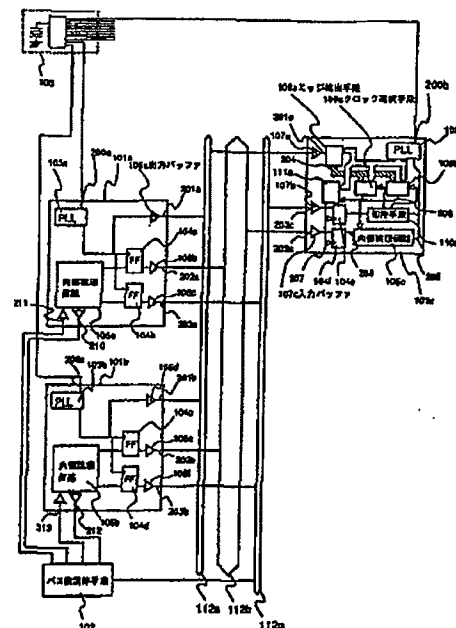
(74) 代理人 弁理士 武 顕次郎

(54) 【発明の名称】 同期データ転送システム

(57) 【要約】

【課題】 位相参照信号の転送とラッチクロックの選択に要する時間は、データの転送サイクルに隠蔽されパイプライン化され、高スループットの同期データ転送システムを実現すること。

【解決手段】 半導体チップ101a～c間に位相情報信号のバス112a、データバス112b、転送終了情報信号のバス112c、半導体チップにはPLLと位相情報信号からエッジを検出するエッジ検出手段108、エッジ検出手段で検出された位相情報信号からクロックを選択するクロック選択手段109、クロック選択手段が選択結果であるクロック選択情報信号を元に、FFがデータバスのデータをラッチするタイミングを切り換えるクロック切替器111、2ヶ以上搭載したクロック選択手段の位相情報信号の保持状態からクロック選択手段を切り換えるクロック選択手段の切替手段110から構成すること。



【特許請求の範囲】

【請求項1】 複数のノードが位相参照信号のバス、データのバス及び転送終了信号のバスにより結線された同期データ転送システムにおいて、

前記同期データ転送システムは決められた転送サイクルに従ったクロックに同期し、

前記複数のノードの1ノードが送信した位相参照信号を前記複数のノードの他のノードが受信し、

前記複数のノードの1ノードが送信した位相参照信号に遅れて前記複数のノードの1ノードがデータを前記他のノードに送信し、

同時に転送終了信号を前記他のノードに送信し、

前記他のノードが先に受信した位相参照信号から変換された位相情報に基づいて前記データを受信することを特徴とする同期データ転送システム。

【請求項2】 請求項1において、

前記転送サイクルは前記ノード間の伝搬遅延と前記ノード中の出力回路遅延と入力回路遅延の総和よりも短いサイクルで規定され、前記規定されたサイクルに従ったクロックに同期して信号を転送することを特徴とする同期データ転送システム。

【請求項3】 請求項1または2において、

前記転送サイクルに従ったクロックの動作周波数は前記ノードの内部論理回路の動作周波数と整数比の関係にあることを特徴とする同期データ転送システム。

【請求項4】 請求項1において、

前記複数のノードのバスの使用権の調停サイクルは転送終了信号の受信によりバスの使用権が移譲されるものであり、前記複数のノードでバスの使用権の移譲を受けたノードは前記位相参照信号を送信し、前記複数のノードでバスの使用権を移譲したノードは前記データと前記転送終了信号を送信することを特徴とする同期データ転送システム。

【請求項5】 請求項4において、

前記複数のノードのバスの使用権の調停サイクルは、前記複数のノードでバスの使用権を移譲したノードによる前記データの転送サイクルに隠蔽され、前記複数のノードでバスの使用権の移譲を受けたノードからの前記位相参照信号の転送サイクルは前記複数のノードでバスの使用権を移譲したノードによる該データの転送サイクルに隠蔽されることを特徴とした同期データ転送システム。

【請求項6】 複数のノードが位相参照信号のバス、データのバス及び転送終了信号のバスにより結線され、決められた転送サイクルに従ったクロックに同期した同期データ転送システムにおいて、

前記ノードは、前記同期データ転送システムにおける前記クロックを入力とし同期動作を行うものであり、入力された前記クロックから前記クロックの運倍のクロックを発生し、前記運倍のクロックから前記クロックと同周

期で前記運倍クロックの1周期を単位に位相を異とする多相のクロックを出力するPLLを具備し、

前記複数のノードの1ノードが送信した位相参照信号を前記複数のノードの他のノードが受信し、

前記位相参照信号に基づいて前記他のノード中PLLで生成した複数のクロックからラッチクロックを選択し、前記複数のノードの1ノードが送信した位相参照信号に遅れて前記複数のノードの1ノードがデータを前記他のノードに送信し、

同時に転送終了信号を前記他のノードに送信し、

前記他のノードは前記ラッチクロックを用いて、前記データを受信することを特徴とする同期データ転送システム。

【請求項7】 請求項6において、

前記位相参照信号に基づいて前記他のノード中PLLで生成した複数のクロックからラッチクロックを選択する手段は、

前記受信された位相参照信号からエッジを検出し位相情報に変換するエッジ検出手段と、前記位相情報から前記データを受信するクロックを選択しクロック選択情報として出力するクロック選択手段と、前記クロック選択情報から前記PLLで生成した複数のクロックを選択し前記ラッチクロックを前記ノードのラッチ手段に供給するクロック切換器と、転送終了情報に基づいて前記クロック選択手段をリセットするクロック選択手段切換手段と、

から構成されることを特徴とする複数のクロックからラッチクロックを選択する手段。

【請求項8】 請求項7において、

前記エッジ検出手段は、前記位相参照信号を前記複数のクロックでサンプリングするサンプリング回路と前記サンプリング回路からの出力のエッジを検出するエッジ検出器から構成されることを特徴とするエッジ検出手段。

【請求項9】 請求項8において、

前記サンプリング回路は、前記PLLで生成した複数のクロックの相数のラッチ手段を具備し、前記ノード中の前記PLLで生成した複数のクロックで前記位相参照信号を前記複数のクロックの相数のラッチ手段でラッチし出力することを特徴とするサンプリング回路。

【請求項10】 請求項8において、

前記エッジ検出器は、前記サンプリング回路の複数のクロックの相数のラッチ手段の出力を比較することでエッジを検出し、検出された前記エッジから前記位相情報に変換することを特徴とするエッジ検出器。

【請求項11】 請求項7において、

前記クロック選択手段は、前記データ転送サイクル中においてデータが有効な期間だけクロック選択情報が出力されるように、位相情報保持手段と選択器と波形整形器から構成されることを特徴とするクロック選択手段。

【請求項12】 請求項11において、

前記位相情報保持手段は、前記エッジ検出手段の出力した位相情報を保持し出力し、保持状態を前記クロック選択手段の切換手段に出力し、前記クロック選択手段の切換手段の出力するリセット信号により保持状態が解除されることを特徴とする位相情報保持手段。

【請求項13】 請求項7において、
前記クロック選択手段を複数個備え、その複数個のクロック選択手段と、
前記複数個のクロック選択手段を監視し、前記転送終了信号に基づき前記複数個のクロック選択手段を切換え、前記クロック切換器への前記ラッチクロックの切換を制御するクロック選択手段の切換手段と、
を具備することを特徴とする複数のクロックからラッチクロックを選択する手段。

【請求項14】 請求項6において、
前記同期データ転送システムにおける前記複数のノードを接続したバスに、位相保証回路を具備することによって、前記バスの伝搬波を一樣に立ち上がりないし降下させて前記伝搬波の位相のばらつきを押さえることを特徴とする同期データ転送システムの位相保証回路。

【請求項15】 請求項14において、
前記位相保証回路は、前記バスの端部の終端抵抗と、前記ノードと前記バスに挿入される整合抵抗から構成され、
前記終端抵抗は前記バスの特性インピーダンスに一致する抵抗値をとり、
前記整合抵抗は前記ノードの特性インピーダンスと前記バスの接続点における前記ノード側から見た特性インピーダンスの差分を保証する抵抗値をとることを特徴とする位相保証回路。

【請求項16】 請求項1または6において、
前記バスに接続される、前記ノードの少なくとも一つはバスマスタであって、前記ノードの残りは全てバススレーブであって、前記バスマスタのノードはバスの使用権を獲得し、前記バススレーブのノードを制御することを特徴とする同期データ転送システム。

【請求項17】 請求項1または6において、
前記ノード間のデータ転送で転送終了信号が転送されないものであって、前記ノードの受信側が、前記同期データ転送システムで規定されたデータ転送長と、受信される一連の前記データ転送長をカウントしたものと、を比較して、前記データ転送の終了を検知することを特徴とする同期データ転送システム。

【請求項18】 請求項17において、
前記転送終了信号が転送されない同期データ転送であって、転送に関与しないノードが、前記同期データ転送システムで規定されたデータ転送長と、バス上を転送される一連の前記データ転送長をカウントしたものと、を比較して、前記データ転送の終了を検知することを特徴とする同期データ転送システム。

【請求項19】 請求項17において、
ノードに内蔵されたバス権調停手段が、前記同期データ転送システムで規定されたデータ転送長と、バス上を転送される一連の前記データ転送長をカウントしたものと、を比較して、前記データ転送の終了を検知することを特徴とする同期データ転送システム。

【請求項20】 請求項19において、
前記バス権調停手段は、前記データ転送の終了を検知し、次にバスの使用権をとるべきノードにバスの使用権を与えることを特徴とする同期データ転送システム。

【請求項21】 複数のメモリモジュールとメモリコントローラから構成された同期データ転送システムであって、

前記複数のメモリモジュールと前記メモリコントローラは、アドレスバスと、コマンドバスと、コントロールバスと、クロックバスと、折り返しクロックバスと、データバスと、で接続されることを特徴とする同期データ転送システム。

【請求項22】 請求項21において、
前記メモリモジュールは1つないし複数の同期メモリとアドレスバッファが具備され、

前記アドレスバッファは、その入力側で、前記アドレスバスと前記コマンドバスと前記コントロールバスと前記クロックバスに接続され、その出力側で、前記メモリモジュール上のアドレスバスとコマンドバスとコントロールバスとクロックバスを介して同期メモリに接続され、前記アドレスバッファの入力側で受信された信号を前記1つないし複数の同期メモリに伝達し、

前記1つないし複数の同期メモリは、前記メモリコントローラから送信された前記クロックバス上のクロックで、前記アドレスバスと前記コマンドバスと前記コントロールバスのデータと、前記データバス上のデータを、ラッチすることを特徴とする同期データ転送システム。

【請求項23】 請求項22において、
前記メモリモジュールは、前記メモリコントローラで選択されて制御されるものであり、
前記制御として、データの読み出しとデータの書き込みに加えて、前記同期メモリに内蔵されたシーケンス内のレジスタからの読み出しとレジスタへの書き込みを行い、

前記データの書き込みと前記レジスタへの書き込みは前記クロックバスのクロックに同期することを特徴とする同期データ転送システム。

【請求項24】 請求項22において、
前記同期メモリは、同期DRAM（同期ダイナミックRAM）、SGRAM（シンクロナスグラフィックRAM）または同期SRAM（同期スタティックRAM）であることを特徴とする同期データ転送システム。

【請求項25】 請求項22において、
前記メモリモジュール上の前記アドレスバッファは、前

記アドレスバッファの入力側で受信された前記メモリコントローラからのデータの読み出しと前記同期メモリに内蔵されたシーケンサ内のレジスタの読み出しを検知し、

前記検知から前記クロックバスの1サイクル分ないし複数サイクル分のクロックを前記折り返しクロックバスに送信することを特徴とする同期データ転送システム。

【請求項26】 請求項25において、

前記メモリモジュールは、前記折り返しクロックバスに送信する折り返しクロックに遅れて、前記同期メモリに内蔵されたシーケンサ内のレジスタに書き込まれたCASレイテンシとデータ転送長の設定に従い一連の読み出しデータをデータバスに送信することを特徴とする同期データ転送システム。

【請求項27】 請求項21において、

前記メモリコントローラは、前記同期データ転送システムで転送されるデータの繰返しサイクルに相当するクロックに同期し動作するものであって、前記メモリコントローラの内部には、前記クロックの逡倍のクロックを発生し、前記逡倍のクロックから前記クロックと同周期で前記逡倍クロックの1周期を単位に位相を異とする多相のクロックを出力するPLLを具備し、前記複数のメモリモジュールの1つが送信した前記折り返しクロックバス上の折り返しクロックから位相を参照し、前記位相に基づいて前記PLLで生成した複数のクロックからラッチクロックを選択し前記データバスから前記データを受信することを特徴とする同期データ転送システム。

【請求項28】 請求項27において、

前記メモリモジュールは1つないし複数の同期メモリとアドレスバッファを具備し、

前記メモリコントローラは、前記同期メモリに内蔵されたシーケンサ内のレジスタに書き込んだCASレイテンシの設定を保持し、この設定に従い前記選択されたラッチクロックによる受信した読み出しデータのラッチ開始時点を受信した読み出しデータの先頭サイクルに合わせることとを特徴とする同期データ転送システム。

【請求項29】 請求項28において、

前記メモリコントローラは、前記同期メモリの前記レジスタに書き込んだデータ転送長の設定を保持し、この設定に従い前記受信した読み出しデータのラッチ開始時点から前記データ転送長に相当するサイクル数だけ、前記到着した読み出しデータをラッチすることを特徴とする同期データ転送システム。

【請求項30】 請求項28または29において、

前記メモリコントローラは、前記受信した読み出しデータの先頭サイクルに合わせて受信した読み出しデータのラッチ開始時点を含わせるために、前記選択されたラッチクロックに同期したカウンタを具備することを特徴とする同期データ転送システム。

【請求項31】 請求項1、6または21において、複数のノード間でバスを通して一連のデータ転送が終了し、共用するバス上でデータの衝突が起こらないように、バス上の信号電位が、データ出力のないハイインピーダンス状態に戻った後でなければ、次ぎのデータ転送を開始しないことを特徴とする同期データ転送システム。

【請求項32】 請求項25において、

前記アドレスバッファは、PLL、レジスタ、シーケンサの組み合わせで構成されることを特徴とする同期データ転送システム。

【請求項33】 請求項32において、

前記アドレスバッファのレジスタは、同期メモリ内のレジスタと共用し、

前記同期メモリのレジスタへの設定の書き込み時に同時に前記アドレスバッファのレジスタに設定が書き込まれることを特徴とする同期データ転送システム。

【請求項34】 請求項32において前記アドレスバッファのレジスタは、同期メモリ内のレジスタと別体であり、

前記同期メモリのレジスタとは別の手順でアドレスバッファのレジスタに設定が書き込まれることを特徴とする同期データ転送システム。

【請求項35】 請求項32において、

前記アドレスバッファのシーケンサは、アドレスバッファのレジスタに書き込まれた設定内容を参照し、アドレスバッファに入力されたクロックまたは前記クロックを入力とするPLLが出力したクロックに同期して動作することを特徴とする同期データ転送システム。

【請求項36】 請求項25において、

前記アドレスバッファは、レジスタに書き込まれた設定内容を参照しクロックまたは前記クロックを入力とするPLLが出力したクロックに同期して動作するものであって、

前記同期メモリの状態に対応する動作状態を遷移することで前記同期メモリの状態を検知することを特徴とする同期データ転送システム。

【請求項37】 請求項22において、

前記アドレスバッファの入力側に、前記アドレスバスと前記コマンドバスと前記コントロールバスと前記クロックバスが接続され、

全ての前記バスには前記アドレスバッファのシーケンサが接続されていることを特徴とする同期データ転送システム。

【請求項38】 請求項32において、

前記アドレスバッファのPLLは、その出力として前記PLLの入力クロックの分周周波数と同一周波数と逡倍周波数とを発生し選択的に出力することを特徴とする同期データ転送システム。

【請求項39】 請求項21において、

前記同期データ転送システムは、そのアドレスバス、コマンドバス、コントロールバス、データバスの最小繰り返し周波数と、前記クロックバスのクロックの繰り返し周波数と、前記折り返しクロックバスのクロックの繰り返し周波数が整数倍の関係にあることを特徴とする同期データ転送システム。

【請求項40】 請求項38において、

前記同期データ転送システムのアドレスバス、コマンドバス、コントロールバス、データバスのそれぞれの最小繰り返し周波数と、前記クロックバスのクロックの繰り返し周波数と、前記折り返しクロックバスのクロックの繰り返し周波数が整数倍の関係にあることを特徴とする同期データ転送システム。

【請求項41】 請求項22において、

前記同期メモリを備えた前記メモリモジュールは、前記同期メモリで受信された前記メモリコントローラからのデータの読み出しに対して、前記同期メモリ中のクロックから1サイクル分ないし複数サイクル分のクロックを前記折り返しクロックバスに送信することを特徴とする同期データ転送システム。

【請求項42】 メモリコントローラとメモリモジュールから構成される同期データ転送システムであって、前記メモリコントローラと前記メモリモジュールは、アドレスバス、コマンドバス、コントロールバス、クロックバスおよびデータバスで接続され、

前記メモリモジュール上では1ないし複数個のアドレスバッファと1ないし複数個の同期メモリが具備され、

前記アドレスバッファの少なくとも1つにはPLLが内蔵され、前記アドレスバス、コマンドバス、コントロールバス、クロックバスはメモリモジュール上で前記1ないし複数個のアドレスバッファの内部回路を経由して前記1ないし複数個の同期メモリに接続され、

前記データバスは、メモリコントローラから直接に、前記1ないし複数個の同期メモリに接続され、

前記1ないし複数個の同期メモリは、エラー検出訂正の冗長符号生成手段を具備し、

前記1ないし複数個の同期メモリは、前記アドレスバス、コマンドバス、コントロールバスから読み出しコマンドを受信すると、読み出したデータを出力した後に、前記エラー検出訂正の冗長符号生成手段で生成したエラー検出訂正の冗長符号を出力することを特徴とする同期データ転送システム。

【請求項43】 請求項42において、

前記エラー検出訂正の冗長符号生成手段が、前記同期メモリ内のセンスアンプと前記同期メモリ内の列切換器に接続され、前記センスアンプで増幅されたデータからエラー検出訂正の冗長符号を生成し、

前記列切換器は、前記センスアンプからのデータ入力を切り換えることで前記同期メモリのレジスタに設定されたデータ転送長分のデータを出力し、データ転送長分の

データを出力した時点で前記エラー検出訂正の冗長符号生成手段からのエラー検出訂正の冗長符号の入力に切り換えて出力することを特徴とする同期データ転送システム。

【請求項44】 請求項42において、

前記エラー検出訂正の冗長符号生成手段が、前記同期メモリ内の列切換器と前記同期メモリのデータ出力手段に接続され、前記列切換器から出力されたデータ転送長分のデータを保持し、前記保持したデータからエラー検出訂正の冗長符号を生成し、

前記同期メモリのレジスタに設定されたデータ転送長分のデータを出力した時点で前記生成されたエラー検出訂正の冗長符号をデータ出力手段に出力することを特徴とする同期データ転送システム。

【請求項45】 請求項42において、

前記エラー検出訂正の冗長符号生成手段は、出力されるデータを入力とし前記データが出力される時間中に並行してエラー検出訂正の冗長符号を生成し、

前記エラー検出訂正の冗長符号を生成するに要する時間が、前記データが出力される時間に隠蔽されることを特徴とする同期データ転送システム。

【請求項46】 請求項43において、

前記エラー検出訂正の冗長符号生成手段は、前記同期メモリ内のセンスアンプのデータ出力のビット数と前記エラー検出訂正の冗長符号生成手段のデータの入力のビット数が同数で接続され、

エラー検出訂正の冗長符号生成手段内部では前記データの入力は列アドレスの示す下位のビット数から2の n 乗のビット数ずつを組に前記エラー検出訂正の冗長符号を生成し、前記2の n 乗の組ずつに前記エラー検出訂正の冗長符号を出力するまたは選択的に出力することを特徴とする同期データ転送システム。

【請求項47】 請求項46において、

前記2の n 乗のビット数ずつを組とする数値 n は、2の n 乗が前記同期メモリのレジスタに設定されたデータのデータ転送長に相等しい関係から導出されることを特徴とする同期データ転送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は情報処理装置における同期データ転送システムに関する。

【0002】

【従来の技術】 従来の同期伝送システムは、同期伝送システム中の各ノードに参照クロックを供給し参照クロックの或る相とその次の相を用い、送端が或る相でデータの出力を開始し、受端では或る相の次の相で出力されたデータを取り込む方式があった。

【0003】 また、同期伝送システム中の各ノードに参照クロックを供給し参照クロックの或る相を用い、送端が或る相でデータの出力を開始し、受端では到着したデ

ータのエッジを検出し、検出されたエッジを元に到着したデータを取り込む方式があった。

【0004】また、同期伝送システム中の各ノードに参照クロックを供給し参照クロックの或る相を用い、送端が或る相でデータの出力を開始し、併せて、受端のFFでのデータの有効時間を鑑みた分だけ遅延させた受信用クロックを出力し、受端では受信用クロックを元に到着したデータを取り込む方式があった。

【0005】

【発明が解決しようとする課題】一方、前述した同期データ転送システム中、参照クロックの或る相で出力されたデータを次の相で取り込む方式では、データ転送サイクルは送端受端の回路遅延と、送端受端間の伝搬遅延、送端受端間のクロックの位相ばらつきから決定される。近年の半導体技術の進歩から、送端受端の回路遅延は短縮され、半導体の動作周波数も向上している。そのおかげで半導体の回路遅延に依存する送端受端間のクロックの位相ばらつきも削減方向にある。しかし、送端受端間の伝搬遅延に関して短縮は厳しく、また伝送路の周波数帯域の特性上、半導体の動作周波数に追従できない。よって、伝搬遅延時間が隘路となり、データ転送サイクルの短縮は望めない。

【0006】その改善方式として、前述した受端で到着したデータのエッジを検出し、検出されたエッジを元に到着したデータを取り込む方式がある。この方式では、データのエッジを検出する時間と受端のFFでのデータの有効時間からデータ転送サイクルが決定される。

【0007】近年の半導体技術の進歩から動作周波数が向上すれば、データ転送サイクルも短縮される。だが理論上、データの転送サイクルは受端のFFでのデータの有効時間を満足すれば良いのであって、有効なデータを転送するデータ転送サイクルに、データのエッジを検出する時間が付加されている。

【0008】理論上のデータ転送サイクルよりもデータ転送サイクルは長く、理論上のデータ転送サイクルから導出される動作周波数に追従できていない。また、この改善方式のデータ転送サイクルに占める有効なデータ転送サイクルの割合は100%に遥かに及ばず同期データ転送システムのスループットも低い。

【0009】また別の改善方式として、前述したデータと併せて受信用クロックを出力し、受端では受信用クロックを元に到着したデータを取り込む方式がある。この方式では受端の半導体内で受信用クロックを分配する必要があり、そのため、受端では伝送路からデータをラッチするFFまでの経路について、データの経路と受信用クロックの分配経路で経路差が存在する。また、受信用クロックの分配経路についてもデータをラッチするFFが複数個に渡る場合、経路差が発生することとなる。これらの経路差は半導体の製造ばらつきを受け、受信用クロックの位相ばらつきとなる。

【0010】よって、この方式のデータ転送サイクルは、理論上、満足すべき受端のFFでのデータの有効時間と、この受信用クロックの位相ばらつきによる分配時の回路遅延の増分との和から決定される。つまり、理論上のデータ転送サイクルから導出される動作周波数に追従できていない。

【0011】本発明は従来技術におけるかかる事情に鑑みて成されたものであり、半導体の回路技術の進歩に伴う回路遅延の短縮に追従する、データ転送時のデータ転送サイクルの短縮、即ちバスシステムの動作周波数の向上を妨げない同期データ転送システムを提供することを目的とする。また、併せて、データ転送サイクルに占める有効なデータ転送サイクルの割合を100%に漸近させ、同期データ転送システムのスループットを高める。

【0012】

【課題を解決するための手段】本発明の同期データ転送システムは、半導体チップ間に位相情報信号のバス、データバス、転送終了情報信号のバス、半導体チップにはPLLと位相情報信号からエッジを検出するエッジ検出手段、エッジ検出手段で検出された位相情報信号からクロックを選択するクロック選択手段、クロック選択手段が選択結果であるクロック選択情報信号を元に、FFがデータバスのデータをラッチするタイミングを切り換えるクロック切替器、2ヶ以上搭載したクロック選択手段の位相情報信号の保持状態からクロック選択手段を切り換えるクロック選択手段の切替手段を搭載する。

【0013】以上のような構成を採用することによって、送端の半導体チップはバス権を取り次第、転送するデータの位相情報を位相情報信号のバス線に送出する。位相情報を受信した受端の半導体チップでは位相情報からデータをラッチするクロックを選択する。

【0014】この間、バス上には先にバス権を持っていた半導体チップによりデータ転送が行われており、送端の半導体チップ、受端の半導体チップともこのデータ転送のデータを受信している。即ち、バスの使用権の移譲を受けた半導体チップからの位相参照信号の転送サイクルは、バスの使用権を移譲した半導体チップによるデータの転送サイクルに隠蔽され、パイプライン化が図られている。

【0015】受端の半導体チップでラッチするクロックが選択された時点以降に、先にバス権を持っていた半導体チップのデータ転送は終了する。このデータ転送中に転送終了情報が送出され、バス権は現在バス権を持って既に位相情報を送出した半導体チップから次にバス権を獲得した半導体チップに移譲される。

【0016】この時点で送端の半導体チップは、バス権を移譲しデータバスを介してデータを転送する。これにより、バスの使用権の調停サイクルはバス権を移譲した半導体チップによるデータの転送サイクルに隠蔽され、パイプライン化が図られている。

【0017】以上のパイプライン化により、理論上のデータ転送サイクルから導出される動作周波数に追従させる。また、データ転送サイクルに占める有効なデータ転送サイクルの割合を100%に漸近させる。

【0018】以上から、動作周波数の向上を図り、また、データ転送サイクルに占める有効なデータ転送サイクルの割合を100%に漸近させることで、同期データ転送システムのスループットを高める。

【0019】

【発明の実施の形態】本発明の第1の実施形態を図1、2、3、4、5、6、7、8、9に示す。

【0020】また、本発明の第2の実施形態を図10、11、12、13に示す。

【0021】図中、100は原発振、101a~cは半導体チップ、102はバス権調停手段、103a~cはPLL、104a~hはFF、105a~cは内部論理回路、106a~iは出力バッファ、107a~cは入力バッファ、108aはエッジ検出手段、109a、bはクロック選択手段、110aはクロック選択手段の切換手段、111aはクロックの切換器、112a~cはバス、113はサンプリング回路、114はエッジ検出器、115は位相情報保持手段、116は選択器、117は波形整形器、118a、b、cは整合抵抗、119a、bは終端抵抗である。

【0022】400はメモリコントローラ、401はメモリモジュール、402はメモリ素子、403はメモリモジュール上のアドレスバッファ、404はメモリコントローラ400からメモリ素子402を制御するアドレスバス、コマンドバス、コントロールバス、405は404はメモリコントローラ400からメモリ素子402にクロックを供給するクロックバス、406はメモリコントローラ400とメモリ素子402間のデータバスである。

【0023】また、407はクロックバス405で供給されたクロックをメモリコントローラ400に返す、折り返しクロックバス、408はメモリコントローラ400中のPLL、409はメモリコントローラ400中のエッジ検出手段、クロック選択手段、クロック選択手段の切換手段、クロック切換器、410a~bはエッジ検出手段、クロック選択手段、クロック選択手段の切換手段、クロック切換器409中のセクタ、411はエッジ検出手段、クロック選択手段、クロック選択手段の切換手段、クロック切換器409中のカウンタである。

【0024】図1に本発明の第1の実施形態の同期転送システムを示す。第1の実施形態において半導体チップ101a、b、cはバス112a、b、cで接続され、データの転送を行っている。図中、半導体チップ101a、b、cは図2の半導体チップと同じであるが、簡単のため図2の半導体チップから一部回路を省略して示している。

【0025】一連の説明において、バス112a、b、cには半導体チップ101a、bのLSIの106a、b、cないし106d、e、fの出力バッファからデータが出力される。このデータは、半導体チップ101cの入力バッファ107a、b、cで半導体チップ101cに取り込まれる。

【0026】バスの使用権利については、バス権調停手段102が各半導体チップのバス権要求から唯一バス権を与える機構となっている。第1の実施形態に於いてはバス112cの転送終了情報をバス権調停手段102が監視し、バス112cの転送終了情報が到着する毎にバス権の出力を、次のバス権を獲得した半導体チップに切り換える。

【0027】ここで、図1、図2及び図3を用いて、半導体チップ101cに注目して半導体チップ101cでの同期受信を説明する。

【0028】半導体チップ101a~cは原発振100からシステムの参照クロックを供給され、103a~cのPLLで所要の逡倍クロック、分周クロック、多相クロックを発生し、半導体チップ101a~c中にクロックを給電する。本発明の第1の実施形態では図3に示す通り、同一周波数6相のクロックを給電している。

【0029】本第1の実施形態では同一周波数で6相のクロックを発生させているが、所要相数は次の条件から決定される。本第1の実施形態では受信側のFFで保証すべきデータ有効時間について、データ有効時間を整数倍し半導体チップ101の動作クロックの1周期より大きくなる整数値を算出し、この整数値と同値ないし大きい整数値を多相クロックの相数としている。

【0030】この条件下では、転送されてきたデータがFFで保証すべきデータ有効時間を十分保証している限り、半導体チップ101内に必ずラッチできるクロックが存在することを示している。本第1の実施形態では半導体チップ101a~cの内部論理は基本的に0相目の $\phi 0$ で動作するが、本第1の実施形態で図示していないが、適宜 $\phi 0$ と $\phi 3$ を用いる2相式、ないし $\phi 0$ と $\phi 2$ 、 $\phi 4$ を用いる3相式等、多相式で設計することも可能である。

【0031】バス112aにはデータの転送元の半導体チップ101から位相参照信号201が転送される。半導体チップ101cではエッジ検出手段108aが位相参照信号201を先の多相クロック $\phi 0 \sim \phi 5$ でサンプリングする。サンプリングの結果、エッジが多相クロック $\phi 0 \sim \phi 5$ のいずれの相間に位置するかを検出しクロック選択手段109a、bに位相情報信号204として出力される。

【0032】クロック選択手段109a、b何れか一方が、クロック選択手段の切換手段110aにより選択され、選択されたクロック選択手段が先の位相情報204を元にFF104e、fのラッチタイミングとなるクロ

ックの相を多相クロック $\phi 0 \sim \phi 5$ から選択し、クロック選択情報信号206としてクロック切換器111aに出力される。

【0033】第1の実施形態中、クロック切換器111aはFF104e、fの近傍に位置する。クロック切換器111aは、先のクロック選択情報からFF104e、fのラッチタイミングとなるクロックの相を多相クロック $\phi 0 \sim \phi 5$ から選択し、切り換えてFF104e、fに出力する。

【0034】以上に説明した同期化処理の結果、FF104e、fはクロック切換器111aから給電されるクロックでバス112b、c上の転送データをラッチできる。

【0035】図4にエッジ検出手段の1例を示す。本発明の第1の実施形態に於いて、エッジ検出手段108はサンプリング回路113とエッジ検出器114から構成される。サンプリング回路113に位相参照信号201が入力され多相クロック $\phi 0 \sim \phi 5$ によりラッチされる。

【0036】位相参照信号201のエッジはサンプリング回路113の出力の6ビット中、「Lがnビット、Hが(6-n)ビット」ないし「Hがnビット、Lが(6-n)ビット」のビット列として現れる。サンプリング回路113の出力の6ビットは、エッジ検出器114に入力される。

【0037】エッジ検出器114では、先の6ビットについて、隣接するビット間でL \rightarrow H、H \rightarrow Lへ変化するビットの組を検出し、変化のあったビットの組から多相クロック $\phi 0 \sim \phi 5$ のいずれの相間にエッジがあるかを特定し位相情報として位相情報信号204を出力する。

【0038】図5にクロック選択手段109の1例を示す。本発明の第1の実施形態に於いて、クロック選択手段は位相情報保持手段115と選択器116、波形整形器117から構成される。エッジ検出手段108から入力される位相情報信号204は、位相情報保持手段115が保持状態解除信号218によりリセットされるまで保持される。また、位相情報保持手段115の位相情報信号204の保持/非保持の状況は、保持状態通知信号221として、クロック選択手段の切換手段110に通知する。

【0039】位相情報保持手段115が位相信号204の位相情報信号204を保持するか保持しないかは、選択手段切換信号220によりクロック選択手段の切換手段110が制御する。保持された位相情報信号205は選択器116に入力される。選択器116はオフセット入力を参照してクロック選択情報信号206を出力する。

【0040】クロック選択情報信号206は選択器116から供給されるクロックで転送終了情報信号215をラッチし、選択信号216と論理積をとることで、波形

整形器117の出力を制御する。この制御により、クロック選択手段109は整形されたクロック選択情報206を出力できる。こうすることで、クロック選択手段109とクロック切換器111a間で同期したクロック選択情報信号206の転送を実現している。

【0041】図6にクロック切換器111aとバス112b、cの入力回路およびクロック選択手段の切換手段110aを示す。本発明の第1の実施形態に於いて、クロック切換器111aはクロック選択手段の出力したクロック選択情報から、多相クロック $\phi 0 \sim \phi 5$ の1相を選択し104e、fに給電することでバス112b、c上の転送データをラッチする。

【0042】クロック選択手段の切換手段110aは、104eでラッチされたバス112cの転送終了情報をFF104iのクロックとして入力することで、2本のイネーブル信号を発生する。このイネーブル信号はFF104iにより交互に肯定される。このイネーブル信号はバス112cの転送終了情報から生成されるリセット信号の出力も制御する。

【0043】こうして、2組のイネーブル信号とリセット信号は、クロック選択手段109a、bに入力され、クロック選択手段中の位相情報保持手段115のリセットと波形整形器117の出力を制御し、クロック切換器111aにクロック選択情報を出力するクロック選択手段を交互に切り換える。

【0044】選択信号216a及びクロック選択手段109からの保持状態通知信号221a、bより、選択手段切換信号220a、bの出力を切り換える。この切換により、位相情報を保持するクロック選択手段109が半導体チップ内に1つだけ存在するように出来る。

【0045】図7に本発明の第1の実施形態の一連の動作を示す。図中、参照クロック200が原発振100から半導体チップ101a~cに供給され、第1の実施形態の半導体チップ101a~cでは参照クロック200の位相が参照され、内部のPLL103で半導体チップ101a~cのクロックの位相を揃えている。

【0046】各半導体チップでは内部のPLL103が位相調整の他、6逓倍したクロックを発生し、再度6分周する事でクロックを多相化している。PLL103は、入力された参照クロック200と同相の $\phi 0$ を、また参照クロック200の1周期について1/6周期ずつ位相をずらした $\phi 1 \sim \phi 5$ の計6相を出力している。

【0047】本第1の実施形態に於いて半導体チップ101a~cの動作クロックは $\phi 0$ であり、バス112a~cの基準クロックでもある。

【0048】図中、210、211は半導体チップ101bのバス権要求信号とバス権信号を、201b、202b、203bは半導体チップ101bのバス112a~cに対する入出力波形を示す。

【0049】212、213は半導体チップ101aの

バス権要求信号とバス権信号を、201a、202a、203aは半導体チップ101aのバス112a~cに対する入出力波形を示す。また201c、202c、203cは半導体チップ101cの入力波形を示す。以下、204~209、選択信号216a、b~219a、bは、半導体チップ101cの内部の信号を示している。

【0050】以下、各半導体チップ間のデータ転送について説明する。ここにおいて、半導体チップ101bから半導体チップ101cへのデータ転送と同期化動作のみ説明する。説明する一連の動作は本発明の基本的なデータ転送と同期化動作であり、簡単のため、図中の他のデータ転送と同期化動作については割愛する。

【0051】半導体チップ101bはバス権301を得て、位相参照情報302をバス112aに出力する。本第1の実施形態に於いて半導体チップ101a~cの動作クロックは $\phi 0$ であり、バス112a~cの基準クロックでもある。よって位相参照信号、バスの転送データ、転送終了情報の最小繰返しサイクルは $\phi 0$ の1サイクルである。

【0052】本第1の実施形態では、バス権を獲得している半導体チップが位相参照信号201として位相参照情報302を出力した2サイクル以上後ないし、先にデータ転送を行った半導体チップが出力した転送終了情報の到着後2サイクル以上後に、バス権を獲得している半導体チップがバスに転送データを出力される規則となっている。

【0053】よって、図中、先にデータ転送を行った半導体チップが出力した転送終了情報の到着後2サイクル後に、バスの転送データ310、311が出力される。転送終了情報はバスの転送データの最終サイクルに合わせて出力される。よって図中、バスの転送データ311と同じサイクルに転送終了情報312が出力される。

【0054】半導体チップ101bから出力された位相参照情報302、バスの転送データ310、311、転送終了情報312は半導体チップ101aを通過して、半導体チップ101cに到達する。到達波は、位相参照信号201c、データ信号202c、転送終了信号203cに現れる。

【0055】半導体チップ101cのエッジ検出手段108aでエッジを検出され、位相情報303を得る。この位相情報303はクロック選択手段109a、bのうち、切換手段110aに選択された側に保持される。図ではクロック選択手段109aが選択されており、クロック選択手段109aの保持された位相情報信号205aに位相情報304として保持される。

【0056】クロック選択手段109aの選択器116aは位相情報304から波形整形器117に対して、 $\phi 0$ に相当する波形整形用クロック305を、波形整形用クロック219aに出力する。波形整形器117はこの

クロック305で104eのラッチした転送終了信号215をラッチし、波形整形器117の出力制御信号217に出力制御情報307を出力し、波形整形器117の出力バッファを出力状態にする。

【0057】選択器116aは波形整形器117aにクロック選択情報を出力しており、波形整形器117aが先の出力制御信号217の出力制御情報307の出力状態に従い、クロック選択情報信号206にクロック選択情報308を出力する。

【0058】クロック切換器111aは、クロック選択情報信号206を介してクロック選択情報308を得、クロック選択情報308に従い、ラッチクロック信号207に $\phi 2$ に相当するラッチクロック309を出力する。FF104e、fはラッチクロック309を与えられることで初めてバス112b、c上を転送されてきた半導体チップ101bの転送データ、転送終了情報をラッチできる。

【0059】ラッチされたデータはFF104eの転送終了情報信号215に転送終了情報312、FF104fの出力信号208に転送データ310、311として現れる。この転送終了情報312と転送データ310、311が内部論理回路105cでは再度バスクロックである $\phi 0$ にラッチされる。即ち半導体101a、b、cの動作クロックである $\phi 0$ に同期化され、半導体チップ101a、b、cからなるバス112の同期転送が完結する。

【0060】ラッチされた転送終了信号215は選択信号216aによりマスクされ保持状態解除信号218aとなる。よって、転送終了情報信号215の転送終了情報312が保持状態解除信号218aの転送終了情報312となる。この転送終了情報312はクロック選択手段の位相情報保持手段115aのリセットタイミングとなる。

【0061】図では、選択信号216aが選択状態で、クロック選択手段109aが選択されており、一連のデータ転送に於いて同期転送がなされた。転送終了時に保持状態解除信号218aに転送終了情報312が出力されることで、クロック選択手段109aがリセットされる。

【0062】同時に、選択信号216aが非選択状態に転じ、出力制御信号217の出力制御情報307による出力指示は終了し、クロック選択手段109aはクロック選択情報信号206へのクロック選択情報308の出力を終了する。この終了に伴い、クロック切換器111aはクロック出力を停止しクロック309は出力停止状態に戻る。

【0063】図8、9を用いて本発明の第1の実施形態におけるバス112の位相保証回路について説明する。図中バス112は簡単のため、バス112aのみに注目して示している。バス112に接続される半導体チップ

101a, b, cはそれぞれバス112a1, 2, 3と整合抵抗118a, b, cを介してバス112aに接続される。

【0064】整合抵抗118aの抵抗値は、バス112a1の特性インピーダンスとバス112aに接続された点でのバス112a1から見たバス112aの特性インピーダンスの差分から決定される。いまバスのスタブに相当するバス112a1の特性インピーダンスが100Ω、バス112aが50Ωだとすると接続された点でのバス112a1から見たバス112の特性インピーダンスは25Ωとなるから、整合抵抗値は75Ωとなる。

【0065】また終端抵抗の抵抗値はバス112aに整合させるため、50Ωである。バス112aにつながる出力バッファ101aは通常のLV-TTLないしCMOSの出力バッファで、入力バッファ107a, dには差動コンパレータが用いられ、参照電位222が併せて入力される。

【0066】位相保証回路は以上の関係から導出される整合抵抗118、終端抵抗119とバス112a1～3、バス112aから構成される。図ではスタブの総数は接続される半導体チップの数に従い3個だが、この限りではない。

【0067】通常のLV-TTLないしCMOSの出力バッファを用いるため、終端電位は信号振幅の中間値より僅かに低い電源電圧の20分の9に設定してある。こうすることで、特にCMOSのNMOSの駆動能力がPMOSよりも高いため、出力波形の立ち上がり降下時間の比を1:1に近づけている。

【0068】伝搬波形を図9に示す。図9では、先の図7のバス112a上の位相参照信号315と位相参照情報315からえられる位相情報316の位相関係を示している。既に説明したとおり、通常のLV-TTLないしCMOSの出力バッファが用いられるため、半導体101aでの出力201aは、その振幅が出力バッファの電源電圧VDDの3.3Vに及ぶ。

【0069】出力201aは整合抵抗118aからバス112aに伝搬する時点で、出力バッファ自身が持つソース抵抗と整合抵抗118aの和と、終端抵抗119a, bの合成抵抗との分割抵抗比からほぼ4分の1まで振幅が圧縮される。位相参照情報315はその振幅を圧縮されバス112aを伝搬しスタブのバス112a2に伝搬し201bに示す波形で、なおバス112aを伝搬しスタブのバス112a3に伝搬し201dに示す波形で半導体チップ101b, cに到達する。

【0070】半導体チップ101cでは差動コンパレータの入力バッファ107aにより復元され、入力バッファ107aの電源電圧VDDの3.3Vの振幅で半導体チップ内部のエッジ検出手段等の論理回路に伝搬する。図9からも明白なように、図8に示した位相保証回路を介した伝搬波は、バス112のスタブを順に充電してい

くため、スタブのならびに従って伝搬波は到着する。

【0071】また、バス112a上での各スタブの分岐点では整合抵抗がスタブ側に存在するため、分岐点における伝搬波の反射が抑制されるので、各スタブに到達した波形は階段状にならない。これらの特性により、同一半導体チップから出力されて他の半導体チップで観測される伝搬波形の位相は保証されることとなる。

【0072】図10～13を用いて本発明の第2の実施形態の同期データ転送システムを示す。図10中、同期データ転送システムは、メモリコントローラ400と、メモリ素子402とアドレスバッファ403を搭載したメモリモジュールから構成される。図10中のメモリモジュール401は1つだが、図11に示すとおり複数個の構成もとることが出来る。同様に、図10中のメモリモジュール401上のメモリ素子402は1つだが、図11に示すとおり複数個の構成もとることが出来る。

【0073】メモリモジュール401上のアドレスバッファ403は、アドレスバス、コマンドバス、コントロールバス404及びクロックバス405のデータを増幅しメモリモジュール401上のメモリ素子402に分配する。また、アドレスバス、コマンドバス、コントロールバス404のデータをデコードし、アドレスバッファ403自身の搭載されたメモリモジュール401上のメモリ素子402への読み出しを検知すると、クロックバス405のクロックから、1サイクル分のクロックを折り返しクロックバス407に出力する。

【0074】メモリ素子402は、同期メモリ、いわゆるシンクロナスDRAM、SGRAM（シンクロナスグラフィックRAM）である。図10は同期DRAMについて記載してあるが、同期SRAMについても同様な作用、機能を奏することができるものである。それ故、アドレスバス、コマンドバス、コントロールバス404にはシンクロナスDRAMの信号線であるアドレスと、チップセレクト、ライトイネーブル、RAS、CASからなるコマンドと、クロックイネーブル、マスクからなるコントロールがメモリーコントローラ400からメモリ素子402に向けて転送される。

【0075】またクロックバス405にはシンクロナスDRAMの動作クロックであり、信号線であるクロックがメモリーコントローラ400からメモリ素子402に向けて転送される。

【0076】データバス406には、メモリーコントローラ400からメモリ素子402に向けて転送される書き込みデータと、メモリ素子402からメモリーコントローラ400に向けて返される読み出しデータが転送される。図11中、データバス406はメモリ素子4021a, bがつながる信号線群とメモリ素子4022a, bがつながる信号線群から構成されている。メモリ素子4021a, bがつながる信号線群とメモリ素子4022a, bがつながる信号線群はそれぞれ1ビット以上の

信号線から構成される。

【0077】折り返しクロックバス407には、メモリコントローラ400から読み出し要求を送りつけられたメモリモジュール401上のアドレスバッファ403からの折り返しクロックが転送される。

【0078】本発明の第2の実施形態におけるメモリコントローラ400は、この折り返しクロックバス407を介して受信された、メモリモジュール401上のアドレスバッファ403からの折り返しクロックを位相参照信号とする。この位相参照信号から、メモリコントローラ400の内部のエッジ検出手段、クロック選択手段、クロック選択手段の切換手段、クロック切換器409によりデータバス406上のデータをラッチするクロックを選択し、同期転送を行う。

【0079】図11には、メモリコントローラが複数個あって、他方のメモリコントローラが一方のメモリコントローラを監視していて、メモリコントローラ間の信号受渡しをすることなくバス権を移譲することができるようになっている。そして、メモリコントローラ400aにバス権調停手段が内蔵されていて、メモリコントローラ400bとのバス権の調停を行うようにしている。

【0080】図12にクロック選択手段、クロック切換器とクロック選択手段の切換手段の構成を示す。メモリコントローラ400のエッジ検出手段、クロック選択手段、クロック選択手段の切換手段、クロック切換器409は、本発明の第1の実施形態に示したエッジ検出手段108と同等の回路の後段に、図12のクロック選択手段、クロック切換器とクロック選択手段の切換手段が接続される構成となる。

【0081】ここでは、図12のクロック選択手段、クロック切換器とクロック選択手段の切換手段と、本発明の第1の実施形態に示したクロック選択手段109、クロック選択手段の切換手段110との差異を示す。波形整形器117のセクタ410aは入力されたメモリコントローラ400の内部の制御信号であるLATENCY信号により、クロック選択情報信号の送出されるタイミングを変える。こうすることで、メモリ素子402のCASレイテンシに逢わせてデータをラッチする。

【0082】また、クロック選択手段の切換手段110の前段には、カウンタ411とセクタ410bが接続され、メモリ素子402から返されるデータのサイクル数即ちパケット数をカウントすることで、クロック選択手段の切換手段110の切換える。

【0083】図13に本発明の同期データ転送システムの動作を示す。図中、PLLのクロックの1相である ϕ 0であるクロック408を基準に動作する。また、クロック408はメモリコントローラ400が接続されているCPUバスのバスクロックの公倍数ないし公約数で設定され、CPUバスのバスクロックに同期している。

【0084】図中、メモリコントローラ400の、60

0の一連の書き込み動作と、601の読み出し動作を示す。メモリコントローラ400から行アドレスを含むアクティブパケット600aが送信される。メモリ素子402のタイミング規定に従った3サイクル後に列アドレスを含むコマンドパケット600cと書き込みデータ600d0~3が送信される。この書き込み動作は、メモリコントローラ400から常時出力されるクロック405に同期し、600a、c、d0~3が書き込まれるメモリ素子でラッチされる。

【0085】600aと600cの間に、行アドレスを含むアクティブパケット601aが送信される。メモリ素子402のタイミング規定に従った3サイクル後に列アドレスを含むコマンドパケット601cが送信される。601a、601cを受信したメモリモジュール401bはメモリモジュール401上のアドレスバッファ403bから、位相参照信号である折り返しクロック601rを折り返しクロックバス407に出力し、メモリコントローラ400がこれを受信する。メモリコントローラ400は、この折り返しクロック601rからデータをラッチするクロック601LCを選択し、メモリ素子4021b、4022bから送信される読み出しデータ600d0~3を、601LCでラッチする。601LC先頭は、メモリ素子4021b、4022bのCASレイテンシに合わせ、読み出しデータ600d0に揃っている。また、601LCは、読み出しデータ600d0~3のパケットの数だけ出力される。

【0086】メモリコントローラは、予め、メモリ素子4021、4022に対しCASレイテンシと、読み出し時および書き込み時のバースト転送におけるパケット数をメモリ素子4021、4022のレジスタに設定している。その為、読みだしデータの出現するサイクルと読みだしデータのパケット数は既知である。

【0087】以上、図10~13で示したとおり、本発明の同期データ転送システムでは、データ転送の一方の半導体チップに本発明のエッジ検出手段、クロック選択手段、クロック選択手段の切換手段、クロック切換器409を搭載することで、同期データ転送を実現している。同様に、データ転送の一方の半導体チップにPLLを搭載し、データ転送の他方についてPLLを省略した構成でも、同期データ転送を実現している。

【0088】図14に本発明の第2の実施形態におけるアドレスバッファ403の信号線の接続と内部構成を示す。図中、408はPLL、410はシーケンサである。PLL408はSEL信号を介した設定により、CLKと同一周波数での発振の他、2、4通倍発振に切り換えできる。PLLは発信したクロックをCLK0:17及びRefCLK ϕ として出力する。

【0089】PLL408は位相調整機能として、入力RefCLKiに出力RefCLK ϕ の出力を入力し出力RefCLK ϕ を参照する事で、RefCLK ϕ の位

相をPLL408に入力されたCLKの位相に揃えている。こうすることで、CLK0:17の位相もCLKの位相に揃い、アドレスバッファ403中、入力CLKから出力RefCLK間を通過する際の回路遅延をキャンセルしている。PLL408の出力CLK0:17は出力1本につき、メモリモジュール401上の1つないし2つのメモリ素子402に接続される。

【0090】PLL408のシーケンサ410は、メモリモジュールに入力されたADRとCMD、CNT信号とCKE0:1からメモリの動作状態を把握し、RCLKの出力のオン/オフを切り換えている。本実施の形態に於いて、CKE0:1は通常の“同時H”、“同時L”以外に“HL”、“LH”の組み合わせとすることで、アドレスバッファ403のシーケンサのモードの変更・設定を行う。これにより、アドレスバッファ403、メモリ402共通レジスタの設定以外に、アドレスバッファ403固有レジスタの設定を可能としている。

【0091】図15と図16を用いて、図14で触れた同期DRAMの動作状態の把握を示す。図15は同期DRAMのシーケンサの状態遷移を、また、図16は図15の動作状態に対応したアドレスバッファの状態遷移を示す。図16の各動作状態は図15の動作状態と対応関係を持っており、この対応により、アドレスバッファは、自己の動作状態を元に、対応する同期DRAMの動作状態を把握できる。図15、16中、太線の矢印は、矢印の出発点の動作状態の決められた動作を終了次第自動的に、矢印の指し示す動作状態に遷移することを示す。その他の細線の矢印は矢印に付した信号線の状態を条件として、条件が成立した時にのみ矢印の指し示した動作状態に遷移する。

【0092】図15で、同期DRAMは電源投入時、動作状態501に遷移する。同期DRAMは、メモリコントローラからないしアドレスバッファを介して入力されるADR、CMD、CNT信号の組み合わせをコマンドとして解釈する。プリチャージコマンドを受信すると同期DRAMは動作状態501から動作状態502に遷移し、プリチャージが終了すると自動的に動作状態503のアイドル状態となる。動作状態503でモードレジスタ設定コマンドを受信すると動作状態505に遷移しモードレジスタの設定を行い、設定終了後自動的に動作状態503に戻る。セルフリフレッシュ開始コマンドを受信すると動作状態507に遷移しセルフリフレッシュを行う。この状態でセルフリフレッシュ終了コマンドを受信すると動作状態503に戻る。テスト開始コマンドを受信すると動作状態506に遷移しテストを行う。この状態でテスト終了コマンドを受信すると動作状態503に戻る。リフレッシュコマンドを受信すると、動作状態508に遷移しオートリフレッシュを開始し、終了後自動的に動作状態502に遷移する。

【0093】プリチャージ終了後自動的に動作状態50

3に戻る。本発明の第2の実施形態に示した情報処理装置で、起動時のテスト、初期化、設定が済むとOSとユーザプログラムがロードされ通常動作に移行する。この時同期DRAMは動作状態503を定常状態として、読み出し、書き込みコマンドを受信して、データの読み出し、書き込みを行う。

【0094】いずれの場合も、動作状態503にあれば、メモリコントローラはアクティブコマンドを発行し、受信した同期DRAMは動作状態509に遷移する。この状態で読み出しコマンドを受信すると動作状態511に遷移し、予め動作状態505時に同期DRAM中のレジスタに設定した情報に基づき読み出したデータを出力し、読み出し終了後に自動的に動作状態509に戻る。読み出し終了までに、他のコマンドである読み出し後プリチャージ、書き込み、書き込み後プリチャージ、プリチャージが受信されると、それぞれ、動作状態513、動作状態515、動作状態517、動作状態502に遷移する。

【0095】動作状態503の状態、書き込みコマンドを受信すると動作状態515に遷移し、予め動作状態505時に同期DRAM中のレジスタに設定した情報に基づき書き込まれたデータをメモリアレイに書き込み、書き込み終了後に自動的に動作状態509に戻る。書き込み終了までに、他のコマンドである書き込み後プリチャージ、読み出し、読み出し後プリチャージ、プリチャージが受信されると、それぞれ、動作状態517、動作状態511、動作状態513、動作状態502に遷移する。

【0096】動作状態503の状態で読み出し後プリチャージコマンドを受信すると、動作状態513に遷移し、読み出しが終了した時点で自動的に動作状態502に遷移する。同様に動作状態503の状態で書き込み後プリチャージコマンドを受信すると、動作状態517に遷移し、書き込みが終了した時点で自動的に動作状態502に遷移する。読み出し、書き込み後、動作状態502に遷移するとプリチャージされ、プリチャージ終了後自動的に動作状態503に遷移する。

【0097】動作状態503においてCKE信号がネゲートされると、パワーダウンである動作状態510に遷移し、CKE信号のアサートにより元の動作状態に戻る。動作状態511、513、515、517の状態に於いてCKE信号がネゲートされると、それぞれ、それまでの動作のサスペンド状態である動作状態512、514、516、518に遷移し、CKE信号のアサートにより元の動作状態に戻る。

【0098】図16の状態遷移図は以上説明した同期DRAMの動作に基づいており、アドレスバッファが、アドレスバッファからADR、CMD、CNT、CLKを供給されている同期DRAMの動作状態を把握し、この把握に基づきRCLKの出力を制御する為の状態遷移を

示している。

【0099】アドレスバッファは電源投入時、動作状態501に遷移し、自動的に動作状態503に遷移する。アドレスバッファは動作状態503において、同期DRAMに対するプリチャージ、セルフリフレッシュ、オートプリチャージコマンドによる状態の遷移は無く、動作状態503の状態を保持する。アドレスバッファは同期DRAMに対するモードレジスタ設定コマンドを受信すると動作状態505に遷移し、モードレジスタの設定が終了すると元の動作状態503に戻る。

【0100】この時設定されるモードレジスタは同期DRAMが備えているモードレジスタと互換性があり、このレジスタをアドレスバッファのシーケンサが参照することで、同期DRAMへの読み出し、書き込みのCASレイテンシやバースト長等を把握する。アドレスバッファは、同期DRAMに対するテスト開始コマンドを受信すると動作状態506に遷移し、テスト終了コマンドにより元の動作状態503に戻る。動作状態503において同期DRAMに対するアクティブコマンドを受信すると、アドレスバッファは動作状態509に遷移する。動作状態509では、書き込みコマンドによる状態の遷移は無く、動作状態509の状態を保持する。

【0101】読み出しコマンドが受信されると動作状態511に遷移し、RCLKの出力を開始する。アドレスバッファ中のシーケンサは、動作状態511でカウントを開始し、モードレジスタの設定中のCASレイテンシ、バースト長を参照し、RCLKの出力を制御する。RCLKの出力が終了すると自動的に動作状態519に遷移しカウント値を0にリセットする。リセットされると自動的に動作状態509に遷移する。

【0102】図17に、本発明の第2の実施形態のメモリモジュールを示す。図中401はメモリモジュール、402はメモリ素子、403はアドレスバッファである。図は上部にメモリモジュールの一面を下部に他面を示す。一面には上部から、メモリ素子402が9つ並んでいる。メモリ素子402は同期DRAMである。同期DRAMのデータ線は各々8ビットで、メモリモジュール401の信号端子でデータ線は合計72ビットとなる。データ線72ビット中8ビットは冗長ビットで、エラー検出訂正符号として用いられる。

【0103】9つ並んだメモリ素子402の4～6個目の下にはアドレスバッファ403が配される。その下には、メモリモジュール401の金属で銅の信号端子が84個並ぶ。他面にも、メモリモジュール401の金属で銅の信号端子が84個並ぶ。

【0104】一面と他面の信号端子は合計168個で、信号線や電源の端子として、メモリモジュール上の信号線に接続される。他面にはもう9つのメモリ素子402が配される。この9つのメモリ素子402も同期DRAMで、同期DRAMのデータ線は各々8ビットで、メモ

リモジュール401の信号端子でデータ線は合計72ビットとなる。このデータ線は、基板上のビアホールを介して他面の印刷回路配線と一面の印刷回路配線とを接続することで、メモリモジュールの銅の信号端子の72ビットのデータ線に接続される。

【0105】一面と他面のメモリ素子402はメモリモジュール401の信号端子の2本ないし複数本のCS信号の1本を一面の9つのメモリ素子402に他の1本を他面の9つのメモリ素子に接続している。この接続により、いわゆるバンク構成としている。

【0106】図18に第2の実施形態の他のアドレスバッファ403を示す。ここでは、図14に示したアドレスバッファ403との差異を示す。図中、408はPLL、410はシーケンサである。PLL408はSEL信号を介した設定により、CLKと同一周波数での発振の他、2、4通倍発振に切り換えできる。PLLはRCLKの位相をPLL408に入力されたCLKの位相に揃えている。

【0107】アドレスバッファ403はメモリモジュール401上の、図14に示したアドレスバッファ403もしくはPLL内蔵の市販のクロックバッファからCLKを供給される。その為、CLK0:17の分配は図14に示したクロックバッファ403にまかせ、CLK0:17の出力を省略している。よってアドレスバッファは、メモリモジュール401上のメモリ素子402にCLKを分配しない。

【0108】図14のアドレスバッファ403と本アドレスバッファ403を同一のメモリモジュール401に搭載することで、1個のアドレスバッファ403がADR[11:0]、CMD[2:0]、CNT[2:0]はを分配するメモリ素子402の数は半減する。図17に示したメモリモジュール401では、メモリモジュール401上の18個のメモリ素子402は2群化される事となる。こうすることで、メモリモジュール401上のADR[11:0]、CMD[2:0]、CNT[2:0]の反射等による伝搬波形のひずみは改善され、伝搬遅延時間は短縮される。

【0109】PLL408のシーケンサ410は、図14に示したアドレスバッファ同様、メモリの動作状態を把握し、RCLKの出力のオン/オフを切り換えている。メモリモジュール401上には、図14のアドレスバッファ403のRCLKと本アドレスバッファ403のRCLKと2系統のRCLKが得られる。メモリモジュールの信号端子の数を1として、前者のRCLKないし後者のRCLKを接続しても、信号端子の数を2として両者のRCLKを各々接続しても、本発明の同期データ転送システムは良好に動作する。

【0110】特に後者のRCLKのみを接続した場合、メモリコントローラ400で受信されるRCLKの位相は、メモリコントローラ400で受信される降着のDA

TAの位相に近い。また、両者のRCLKを各々接続し、メモリコントローラ400にRCLKが2ビット受信される場合、メモリコントローラ400の内部には2組のエッジ検出手段、クロック選択手段、クロック選択手段の切換手段、クロック切換器409が装備される。この2組のエッジ検出手段、クロック選択手段、クロック選択手段の切換手段、クロック切換器409で検出された位相情報により、前者と後者のRCLKの位相差からDATAの位相ばらつきが類推され、より精度の高い位相情報をメモリコントローラ内部で生成する事が出来る。

【0111】図19に本発明の第3の実施の形態を示す。ここでは、図10の第2の実施の形態との差異を示す。図中、403のアドレスバッファは、ADR[1:0]、CMD[2:0]、CNT[2:0]を一旦FFでラッチする。図10では、メモリコントローラ400のFFからメモリ素子402の内のデータラッチ手段であるFFまでを一区間とする伝搬経路であった。

【0112】図19ではメモリコントローラ400のFFからアドレスバッファ403内のデータラッチ手段であるFFまでと、アドレスバッファ403内の同じFFからメモリ素子402内のデータラッチ手段であるFFまで2区間の伝搬経路に分割している。

【0113】データのサイクル時間は、回路遅延時間のばらつきと伝搬遅延時間のばらつきとクロックスキューの総和、メモリコントローラ400のFF、アドレスバッファ403のFF、メモリ素子402のラッチ手段各々のセットアップ時間とホールド時間の総和のうちで、最大の値から決定される。図19に示すアドレスバッファを介し伝送経路を2区間に分割することで、それぞれの区間の回路遅延時間のばらつきと伝搬遅延時間のばらつき、クロックスキューは減少し、サイクル時間が短縮され高速化が図れる。

【0114】また、従来の同期式バスでは、データのサイクル時間は、回路遅延時間と伝搬遅延時間とクロックスキューの総和から決定される。本発明のアドレスバッファ403を従来の同期式バスに適用すると、伝送経路は2区間に分割され、それぞれの区間の回路遅延時間と伝搬遅延時間は短縮される。よって、従来の同期式バスのサイクル時間は短縮され高速化が図れる。

【0115】図20、図21を用いて本発明の第4の実施の形態を示す。図20に本発明の第4の実施形態に用いられるRCLKを自ら返すメモリ素子を示す。図中411はシーケンサ、412は分周器である。メモリ素子402が読み出し要求を受けると、シーケンサ411は分周器412で受信したCLKの分周を始め、RCLKとして出力する。その後、DATAは読み出し要求受信後、シーケンサ中のレジスタに設定されたCASレイテンシだけ遅れて出力される。読み出しが終了するとシーケンサ411は分周器412を"H"にセットする。こ

うすることで分周器の出力するRCLKは、絶えず1周期目が"H"で始まる。

【0116】図21のメモリシステムで、メモリモジュール401には、従来のRCLKの出力端子のないアドレスバッファと、図20に示したメモリ素子が搭載されている。

【0117】図22、図23、図24、図25を用いて本発明の第5の実施の形態を示す。

【0118】図22はメモリ素子でデータの信号線が1ビットの同期DRAMである。図中、411はシーケンサ、412は分周器、413はパリティ生成器である。ここでは、図20の同期DRAMとの差異を示す。図22の同期メモリはパリティ生成器413を列デコーダ中のセンスアンプと列切換器の間に配する。メモリ素子402がアクティブコマンドを受信すると行デコーダで行アドレスに相当する1行分のメモリアレイ上のメモリセルが選択される。

【0119】メモリセルはセンスアンプに1対1対応で接続できるよう、センスアンプは1行分装備されている。選択されたメモリセルの電荷はセンスアンプで増幅され、列切換器までの信号線に出力される。読み出しコマンドを受信すると列切換器は受信した列アドレスに該当する信号線を選択する。シーケンサ中のレジスタに設定されたバースト長から、アドレスはカウントアップされ、列切換器は連続するデータを順に切り換えて出力する。

【0120】パリティ生成器413はセンスアンプと列切換器の間の信号線に接続され、列アドレスに相当する信号線から、列アドレスからバースト長分だけ上位のアドレスに相当する信号線のデータまでのバースト長分のデータからパリティを生成する。パリティ生成器413でのパリティ生成は、センスアンプで増幅されたデータが信号線に出力され、パリティ生成器413に到達した時点で開始される。その為、列変換器が列アドレスに相当する信号線から上位のアドレスに切り換える時点で生成が終了している。列切換器はバースト長分のデータ出力が済むとパリティ生成器からの信号線に切換え、パリティをバースト長分のデータに続くサイクルで出力する。

【0121】本実施の形態ではパリティ生成器413を搭載しているが、ECC生成器を搭載も可能であり、エラー検出訂正に必要なビット数分だけ、バースト長分のデータに続くサイクルで出力する。

【0122】図23はメモリ素子でデータの信号線が9ビットの同期DRAMである。図中、411はシーケンサ、412は分周器、414はECC生成器である。ここでは、図22の同期DRAMとの差異を示す。図23の同期メモリはECC生成器414を出力バッファの前段に配する。メモリ素子402がアクティブコマンドを受信すると行デコーダで行アドレスに相当する1行分

のメモリアレイ上のメモリセルが選択される。メモリセルはセンスアンプに1対1対応で接続できるよう、センスアンプは1行分装備されている。

【0123】選択されたメモリセルの電荷はセンスアンプで増幅され、列切換器までの信号線に出力される。読み出しコマンドを受信すると列切換器は受信した列アドレスに該当する信号線を選択する。シーケンサ中のレジスタに設定されたバースト長から、アドレスはカウントアップされ、列切換器は連続するデータを順に切り換えて出力する。

【0124】ECC生成器414は列切換器から出力されたデータを保持し、バースト長分のデータからECCの冗長符号を生成する。ECC生成器414で生成された冗長符号は、バースト長分のデータ出力が済むと、続くサイクルで出力される。本実施の形態では9ビットでバースト長4の合計36ビットのデータについて、9ビットのECCの冗長符号を生成する。生成されたECCの冗長符号は1サイクルで出力される。

【0125】図24に、図23のメモリ素子を用いたメモリモジュールに対する読み出し動作時のデータとECCの冗長符号の関係を示す。図中、601d eはメモリモジュール上のメモリ素子1個から出力されるデータ及びECCの冗長符号である。601d 3, 601d 3 pはデータの出力サイクルに於いて4サイクル目に出力されたデータと冗長ビットである。1から4サイクル目迄のデータと冗長ビットから生成されたECCの冗長符号が601 eである。

【0126】メモリコントローラは、601 d e受信後601 eを元にエラー検出・訂正を行う。その後データの1から4サイクル目までのデータと冗長ビットを601 d 3 eに示すデータ列に再編する。再編された4サイクル目のデータと冗長符号を例に説明すると、64ビットのデータである601 d 3とこのデータに対するECCの冗長符号である601 d 3 pに再編される。メモリコントローラでは改めて601 d 3 pを元にエラー検出・訂正を行う。

【0127】エラー検出に用いた601 d 3 pは、メモリコントローラがメモリモジュールに書き込む際に生成し、メモリ素子に書き込まれた冗長符号である。メモリコントローラがメモリモジュールに書き込む際は読み出し時のECCの冗長符号を除いた1から4サイクル目までのデータのみである。

【0128】本実施の形態に示した2重の冗長符号により、メモリコントローラからメモリへの書き込み時の書き込みエラーは誤ったままメモリで保持される。読み出し時には、この誤ったデータから601 eは生成され、メモリコントローラでエラーの検出・訂正が行われる。書き込み時のエラーは、601 eのエラー検出・訂正では検出されず、601 d 3 pのエラー検出・訂正では検出される。

【0129】また、正常のデータが書き込まれて、読み出し時に読み出したデータの出力がメモリーモジュールとメモリーコントローラ間の転送でエラーになった場合、601 eのエラー検出・訂正では検出され、冗長符号のビット数から訂正可能な範囲で訂正がなされる。受信したデータが完全に訂正されれば、601 d 3 pのエラー検出・訂正が行われる。

【0130】以上示した2重の冗長符号により、エラーの発生がメモリに対する書き込み時に特定されれば、メモリコントローラは書き込みデータと、CLKの位相関係を調整しエラーを回避する。また、読み出し時に特定されれば、RCLKから抽出した位相情報と選択すべきラッチ用のクロックの対応表を変更しエラーを回避する。

【0131】図25に冗長符号の別の組み合わせを示す。ここでは図24との差異を示す。601 d eの1サイクルから4サイクル目までの計288ビットのデータに対して、72ビットのECCの冗長符号601 eを生成し出力する。本実施の形態の72ビットのECCの冗長符号は、リードソロモン符号で、5バイトまで1バイト単位のエラー検出と4バイトまでの1バイト単位のエラー訂正を行う。図24の冗長符号の構成に比較して、よりエラーの検出と訂正範囲を広げている。

【0132】以上説明したように、本発明は、次のような機能ないし作用を奏するものである。

【0133】請求項1記載の発明によれば、同期データ転送システムで、位相参照信号、データ、転送終了信号を分け、送信する順序をつけて、位相参照信号、データと転送終了信号と分ける事で、位相参照信号の転送とラッチクロックの選択に要する時間は、データの転送サイクルに隠蔽されパイプライン化されることを意味し、高スループットの同期データ転送システムが実現できる。

【0134】また、請求項2記載の発明によれば、半導体技術の進歩による動作周波数の向上に追従し、同期データ転送システムの動作周波数を高めることが可能である。

【0135】また、請求項3記載の発明によれば、バスのクロックの動作周波数が半導体チップの内部論理回路の動作周波数と整数比の関係にあるので、受信データは半導体チップ内から見れば、整数比毎に特定のデータパターンで着信するので、半導体チップ内のクロックで容易に同期化できる。よって、高速で且つ同期の容易な同期データ転送システムが実現できる。

【0136】また、請求項4記載の発明によれば、転送終了信号によりバス権は移譲され、バス権の移譲を受けた半導体チップから位相参照情報を、バス権を移譲した半導体チップからデータが転送されることで、位相参照信号の転送とラッチクロックの選択に要する時間は、データの転送サイクルに隠蔽されパイプライン化されることを意味し、高スループットの同期データ転送システム

が実現できる。

【0137】また、請求項5記載の発明によれば、バス権の調停サイクル、位相参照信号の転送とラッチクロックの選択が、データの転送サイクルに隠蔽されることで、バス権の調停サイクルも位相参照信号の転送とラッチクロックの選択もパイプライン化されることを意味し、バスサイクルは実質データ転送サイクルだけとなり、高スループットの同期データ転送システムが実現できる。

【0138】また、請求項6記載の発明によれば、入力されたクロックからクロックの逡倍のクロックを発生し、前記逡倍のクロックから該クロックと同周期で前記逡倍クロックの1周期を単位に位相を異とする多相のクロックを出力するPLLを実装することで、PLLからラッチ手段までのクロック分配系のスキューは相殺される。この効果はPLLの出力する各相に有効で、スキューが低減されることで、理論上、データの転送サイクルを受端のFFでのデータの有効時間まで短縮することが可能となる。即ち高速化に寄与する。

【0139】また、請求項7記載の発明によれば、位相参照信号を元にPLLで生成した複数のクロックからラッチクロックを選択する構成とすることで、ラッチ手段におけるスキューが低減される。

【0140】また、位相参照信号を別にPLLを用意し、PLLの電圧を制御してクロックの位相を制御する場合と比較して、位相参照信号は単発のパルスで済むので、ラッチクロックの選択に要する時間は確実に短縮される。また、半導体チップないに複数のPLLが存在するとPLL間で共振・発振しかねず、半導体チップ自身の誤動作を招く。よって、本発明は誤動作しにくい構成と言える。

【0141】また、請求項8記載の発明によれば、エッジ検出手段がサンプリング回路とエッジ検出器から構成される即ち、デジタル回路で構成されるのでCMOSトランジスタでの構成が容易となる。つまり、アナログ回路で構成した場合に考慮すべき、耐ノイズ性とサンプリング精度、PLLとの共振による発振、高消費電力と回路の大規模化の問題が回避でき、ゲートアレイでの実装も可能となる。

【0142】また、請求項9記載の発明によれば、サンプリング回路が該PLLで生成した複数のクロックの相数のラッチ手段を具備する事で、通常の動作速度のラッチ手段が利用でき回路の平易化が図れ、設計が容易となり、且つ容易な位相情報の取り出しが可能となり、また回路全体の高速動作を可能とする。

【0143】また、請求項10記載の発明によれば、エッジ検出手段に、サンプリング回路出力を比較することでエッジを検出し位相情報に変換させることで回路の平易化が図れ、設計が容易となり、また高速動作を可能とする。

【0144】また、請求項11記載の発明によれば、クロック選択手段が位相情報保持手段と選択器と波形整形器から構成されることで、データ転送サイクル中、データが有効な期間だけクロック選択情報が出力される。これにより、当該データの確実なラッチと、当該データ転送以外でのラッチを防ぎ、誤動作を防止している。

【0145】また、請求項12記載の発明によれば、位相情報の保持とリセットが行われることで、位相情報から選択されたラッチクロックで確実に当該データ転送をラッチできる。また、当該データ転送と同時に受信された転送終了情報により位相情報がリセットされることで、当該データ転送以外でのラッチを防ぎ、誤動作を防止している。

【0146】また、請求項13記載の発明によれば、クロック選択手段の切換手段を具備することで、複数のクロック選択手段を監視しながらクロック切換器へのラッチクロックの切換を制御でき、バスの混雑時でも転送終了情報に基づき位相参照情報信号から位相情報をバス権の移譲順序に従い混乱なく保持・切換できる。これにより、位相参照信号の転送とラッチクロックの選択が、データの転送サイクルに隠蔽され、パイプライン化が実現できる。

【0147】また、請求項14の記載によれば、位相参照信号の位相は、位相参照信号を出力した半導体チップが同じであれば、伝搬波の立ち上がりないし降下を一樣に出来るため、ほぼ同じ位置に保たれるので同期データ転送システムの安定動作を実現する。

【0148】また、請求項15の記載によれば、終端抵抗をバスの特性インピーダンスに一致する抵抗値に、整合抵抗をスタブの特性インピーダンスとバスの接続点におけるスタブから見た特性インピーダンスの差分に相当する抵抗値とすることをで位相保証回路が実現され、伝搬波の立ち上がりないし降下を一樣に出来る。

【0149】また、請求項16の記載によれば、メモリコントローラとメモリ素子に見られるバスマスタとバススレーブの関係に於いて、バスマスタによるバススレーブの制御を実現することで、制御論理をバスマスタに集約しコスト削減を図れる。

【0150】また、請求項17の記載によれば、データの転送長ないしバースト長が既知ないし一意に規定されたシステムに於いて、転送終了信号の信号線が削減でき、LSIのpin数が削減できコスト低減を図れる。

【0151】また、請求項18の記載によれば、バスの使用権の調停をパイプライン化したシステムでは、次にバスの使用権を委譲されるノードは先のデータ転送の終了時点を予め知ることが出来、転送終了信号の監視からデータ転送を開始するまでのオーバーヘッドを削減することが出来る。

【0152】また、請求項19の記載によれば、次にバス権を獲得するノードが、現行のデータ転送の終了時点

を予め知ることが出来、転送終了信号の監視からデータ転送を開始するまでのオーバーヘッドを削減することが出来る。

【0153】また、請求項20の記載によれば、バスの使用権の調停をパイプライン化したシステムでは、アービタは現行のデータ転送の終了時点を予め知ることが出来、先行してバスの調停をすすめたり、転送終了信号の監視から、次にバス権を譲渡されるべきノードへのバス権の通知までのオーバーヘッドを削減することが出来る。

【0154】また、請求項21の記載によれば、メモリモジュールに於いてクロックバスのクロックを折り返す、折り返しクロックバスを具備することで、同期データ転送を実現する。

【0155】また、請求項22の記載によれば、メモリコントローラからのアドレスやコマンドやコントロールやレジスタへの書き込みを、各メモリモジュールのアドレスバッファで受けて、メモリモジュール上の同期メモリに再分配することで、メモリコントローラとメモリー間の伝搬遅延時間を短縮し、同期メモリの位置で、アドレスやコマンドやコントロールと、書き込みデータの位相を揃えることが出来る。

【0156】また、請求項23の記載によれば、メモリコントローラはアドレスやコマンドやコントロールや書き込みデータを、クロックと合わせて同期メモリに送信することで、メモリコントローラとメモリー間の位置関係即ち伝搬遅延時間に影響を受けない繰り返しサイクルでデータの書き込みが実現され高速化が図れる。

【0157】また、請求項24の記載によれば、同期メモリとして市販されている同期DRAMやSGRAMや同期SRAMが利用でき、特殊な機能の付加された同期メモリに比較して安価にメモリシステムが構成できる。

【0158】また、請求項25の記載によれば、元来同期メモリとは別部品であるアドレスバッファにアドレスとコマンドとコントロール信号のデコーダを具備させるだけで、読み出し動作時の同期データ転送が実現できる。また、市販されている同期DRAMやSGRAMや同期SRAMが利用でき、特殊な機能の付加された同期メモリに比較して安価にメモリシステムが構成できる。

【0159】また、請求項26の記載によれば、読み出し動作時、当該のメモリモジュールが折り返しクロックをメモリコントローラに送信することで、メモリコントローラでの再同期化を容易化できる。

【0160】また、請求項27の記載によれば、位相参照信号を元にPLLで生成した複数のクロックからラッチクロックを選択する構成とすることで、ラッチ手段におけるスキューが低減される。

【0161】また、請求項28の記載によれば、メモリコントローラで先行する折り返しクロックから位相情報を抽出し、読み出しデータのラッチクロックを選択した

後、読み出しデータのラッチ開始時点が推定されるため、先頭読み出しデータの取りこぼしによる同期データ転送システムのエラーや故障を回避することが出来る。

【0162】また、請求項29の記載によれば、メモリコントローラで読み出しデータの転送長ないしバースト長が既知ないし規定値として既知であるから、読み出しデータの取りこぼしによる同期データ転送システムのエラーや故障を回避することが出来る。

【0163】また、請求項30の記載によれば、読み出しデータをラッチするクロックでカウンタが動作するため、読み出しデータのラッチ開始時点までのカウントダウンや、受信途中のデータの転送長ないしバースト長のカウンタが正確であり、読み出しデータの取りこぼしによる同期データ転送システムのエラーや故障を回避することが出来る。

【0164】また、請求項31の記載によれば、データ転送システムを構成するバス毎にバスの信号電位がハイインピーダンスに復帰する時間即ち伝搬遅延時間だけ空きサイクルを設定することで同期データ転送システムのエラーや故障を回避することが出来る。

【0165】請求項32の記載によれば、アドレスバス、コマンドバス、コントロールバス、クロックバスに接続されるアドレスバッファにPLLやレジスタ、シーケンサが具備されることで、アドレスバッファからアドレスやコマンド、コントロール信号を受け取る同期メモリの動作状態をアドレスバッファ自身が同期メモリに問い合わせることなく認知することが出来る。

【0166】請求項33の記載によれば、アドレスバッファのレジスタが同期メモリのレジスタと同一で、同期メモリへのレジスタへの設定の書き込み時、同時に前記アドレスバッファのレジスタに設定が書き込まれることで、同期メモリの動作状態が遷移する経過を詳細に認知できる。

【0167】請求項34の記載によれば、アドレスバッファのレジスタが前記レジスタが同期メモリのレジスタと異なることで、アドレスバッファ独自の動作モードを設定できる。

【0168】請求項35の記載によれば、アドレスバッファのシーケンサが、レジスタに書き込まれた設定内容を参照しながら、アドレスバッファに入力されたクロックないし前記クロックを入力とするPLLが出力したクロックに同期して動作する事で、同期メモリの動作状態の遷移を、スキューやジッタのによる遅れを抑えながら同時に認知できる。

【0169】請求項36の記載によれば、アドレスバッファのレジスタに書き込まれた設定内容を参照することで、アドレスバッファは同期メモリの状態に対応した動作状態を遷移するので、同期メモリの状態を認知するのが容易となる。

【0170】請求項37の記載によれば、アドレスバッ

ファの一方にアドレスバスとコマンドバスとコントロールバスとクロックバスが接続されることで、アドレスバッファ内のシーケンサには全てのバスが接続されるので、同期メモリへのレジスタ書き込みや、読み出し、書き込みコマンドをシーケンサが認知できる。

【0171】請求項38の記載によれば、アドレスバッファのPLLがその出力として、入力されたクロックに対して、分周周波数、同周波数、逡倍周波数を発生し選択的に出力することで、クロックバス、折り返しクロックバスを転送されるクロック、折り返しクロックの周波数に自由度を持たせることが出来る。

【0172】請求項39の記載によれば、同期データ転送システムのアドレスバス、コマンドバス、コントロールバス、データバスの最小繰り返し周波数と、前記クロックバスのクロックの繰り返し周波数と、前記折り返しクロックバスのクロックの繰り返し周波数が整数倍の関係に設定されることで、クロックバスと折り返しクロックバスの繰り返し周波数を、アドレスバス、コマンドバス、コントロールバスの上限周波数に揃えることが出来る。上限周波数が揃うことで、突出して高い繰り返し周波数を要求するバスが無くなり、結果的に出同期データ転送システムの動作周波数の向上が可能となる。

【0173】請求項40の記載によれば、同期データ転送システムのアドレスバス、コマンドバス、コントロールバス、データバスの最小繰り返し周波数と、前記クロックバスのクロックの繰り返し周波数と、前記折り返しクロックバスのクロックの繰り返し周波数が整数倍の関係に設定されることで、クロックバスと折り返しクロックバスの繰り返し周波数を、アドレスバス、コマンドバス、コントロールバスの上限周波数に揃えることが出来る。上限周波数が揃うことで、突出して高い繰り返し周波数を要求するバスが無くなり、結果的に出同期データ転送システムの動作周波数の向上が可能となる。

【0174】請求項41の記載によれば、請求項25の記載によれば、元来同期メモリとは別部品であるアドレスバッファにアドレスとコマンドとコントロール信号のデコーダを具備させるだけで、読み出し動作時の同期データ転送が実現できる。

【0175】請求項42の記載によれば、同期メモリがエラー検出訂正の冗長符号生成手段を具備する事で同期データ転送システムの信頼性が向上される。

【0176】請求項43の記載によれば、エラー検出訂正の冗長符号生成手段を前記同期メモリ内のセンスアンプと前記同期メモリ内の列切換器に接続させ、列切換器がバースト長分のデータを出力した時点で前記エラー検出訂正の冗長符号生成手段からのエラー検出訂正の冗長符号の入力に切り換えるだけで容易に冗長符号を付加できる。

【0177】請求項44の記載によれば、エラー検出訂正の冗長符号生成手段が前記同期メモリ内の列切換器と

前記同期メモリのデータ出力手段に接続されることで、容易にエラー検出訂正の冗長符号生成すべき元のデータを得ることが出来、バースト長分のデータを出力した次のサイクルには生成されたエラー検出訂正の冗長符号を出力できる。

【0178】請求項45の記載によれば、エラー検出訂正の冗長符号生成手段でエラー検出訂正の冗長符号を生成するに要する時間が、データが出力される時間に隠蔽されることで、データの出力されるサイクルに影響を与えずにかつデータの出力されるサイクルに引き続いて生成されたエラー検出訂正の冗長符号を出力できる。

【0179】請求項46の記載によれば、エラー検出訂正の冗長符号生成手段の入力ビット数と前段に位置する同期メモリ内のセンスアンプのデータ出力のビット数が同数で、エラー検出訂正の冗長符号生成手段内部では入力されたデータを列アドレスの示す下位のビット数から2の n 乗のビット数ずつを組にして、エラー検出訂正の冗長符号を生成することで、エラー検出訂正の冗長符号生成手段の回路規模を小さくできる。

【0180】請求項47の記載によれば、エラー検出訂正の冗長符号生成手段の入力を2の n 乗のビット数ずつの組とする数値 n を、2の n 乗が前記同期メモリのレジスタに設定されたデータのバースト長から導出することで、読み出しアドレスを指示するだけで該当する組が確定し、容易に当該の組の生成されたエラー検出訂正の冗長符号を選択できる。

【0181】

【発明の効果】以上説明したように、本発明は、データ転送時のデータ転送サイクルの短縮、即ちバスシステムの動作周波数の向上を妨げない同期データ転送システムを提供でき、併せて、データ転送サイクルに占める有効なデータ転送サイクルの割合を100%に漸近させ、同期データ転送システムのスループットを高めることができるものである。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の同期データ転送システムの構成を示す図である。

【図2】本発明の第1の実施形態の同期データ転送システムを構成する半導体チップの構成を示す図である。

【図3】本発明の第1の実施形態の半導体チップのPLLの構成を示す図である。

【図4】本発明の第1の実施形態の半導体チップのエッジ検出手段の構成を示す図である。

【図5】本発明の第1の実施形態の半導体チップのクロック選択手段の構成を示す図である。

【図6】本発明の第1の実施形態の半導体チップのクロック切換器とクロック選択手段の切換手段の構成を示す図である。

【図7】本発明の第1の実施形態の同期データ転送システムの動作を示す図である。

【図8】本発明の第1の実施形態の位相保証回路の構成を示す図である。

【図9】本発明の第1の実施形態の位相保証回路上の信号の伝搬を示す図である。

【図10】本発明の第2の実施形態の同期データ転送システムの構成を示す図である。

【図11】本発明の第2の実施形態の同期データ転送システムのバス構成を示す図である。

【図12】本発明の実施形態の半導体チップのクロック選択手段、クロック切替器とクロック選択手段の切替手段の構成を示す図である。

【図13】本発明の第2の実施形態の同期データ転送システムの動作を示す図である。

【図14】本発明の第2の実施形態のアドレスバッファの構成を示す図である。

【図15】本発明の第2の実施形態のメモリ素子のシーケンサの状態遷移図である。

【図16】本発明の第2の実施形態のアドレスバッファのシーケンサの状態遷移図である。

【図17】本発明の第2の実施形態のメモリモジュールの外観を示す図である。

【図18】本発明の第2の実施形態のアドレスバッファの別の構成を示す図である。

【図19】本発明の第2の実施形態のメモリ素子の信号線の接続を示す図である。

【図20】本発明の第3の実施形態の同期データ転送システムの動作を示す図である。

【図21】本発明の第4の実施形態の同期データ転送システムの動作を示す図である。

【図22】本発明の第4の実施形態の1ビットデータ入出力のメモリ素子の内部構造を示す図である。

【図23】本発明の第4の実施形態の多ビットデータ入出力のメモリ素子の内部構造を示す図である。

【図24】本発明の第4の実施形態のメモリシステムを転送されるデータと冗長ビットの関係を示す図である。

【図25】本発明の第4の実施形態のメモリシステムを転送されるデータと冗長ビットの別の関係を示す図である。

る。

【符号の説明】

- 100 原発振器
- 101 a～c 半導体チップ
- 102 バス権調停手段
- 103 a～c PLL
- 106 a～i 出力バッファ
- 107 a～c 入力バッファ
- 108 エッジ検出手段
- 109 a, b クロック選択手段
- 110 a クロック選択手段の切替手段
- 111 a クロック切替器
- 112 a～c バス
- 113 サンプリング回路
- 114 エッジ検出器
- 115 位相情報保持手段
- 116 選択器
- 117 波形整形器
- 118 a, b, c 整合抵抗
- 119 a, b 終端抵抗
- 201 位相参照信号
- 204 位相情報信号
- 206 クロック選択情報信号
- 400 メモリコントローラ
- 401 メモリモジュール
- 402 メモリ素子
- 403 アドレスバッファ
- 404 アドレスバス、コマンドバス、コントロールバス
- 405 クロックバス
- 406 データバス
- 407 折り返しクロックバス
- 408 PLL
- 409 エッジ検出手段、クロック選択手段、クロック選択手段の切替手段、クロック切替器
- 410, a～b セレクタ
- 411 カウンタ

【図3】

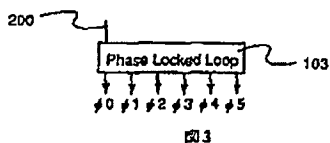


図3

【図4】

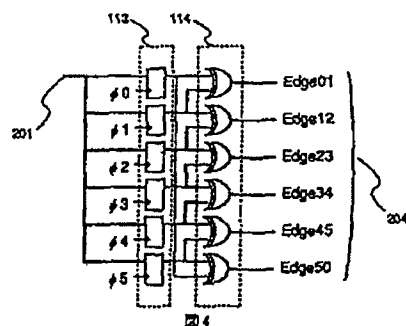


図4

【図1】

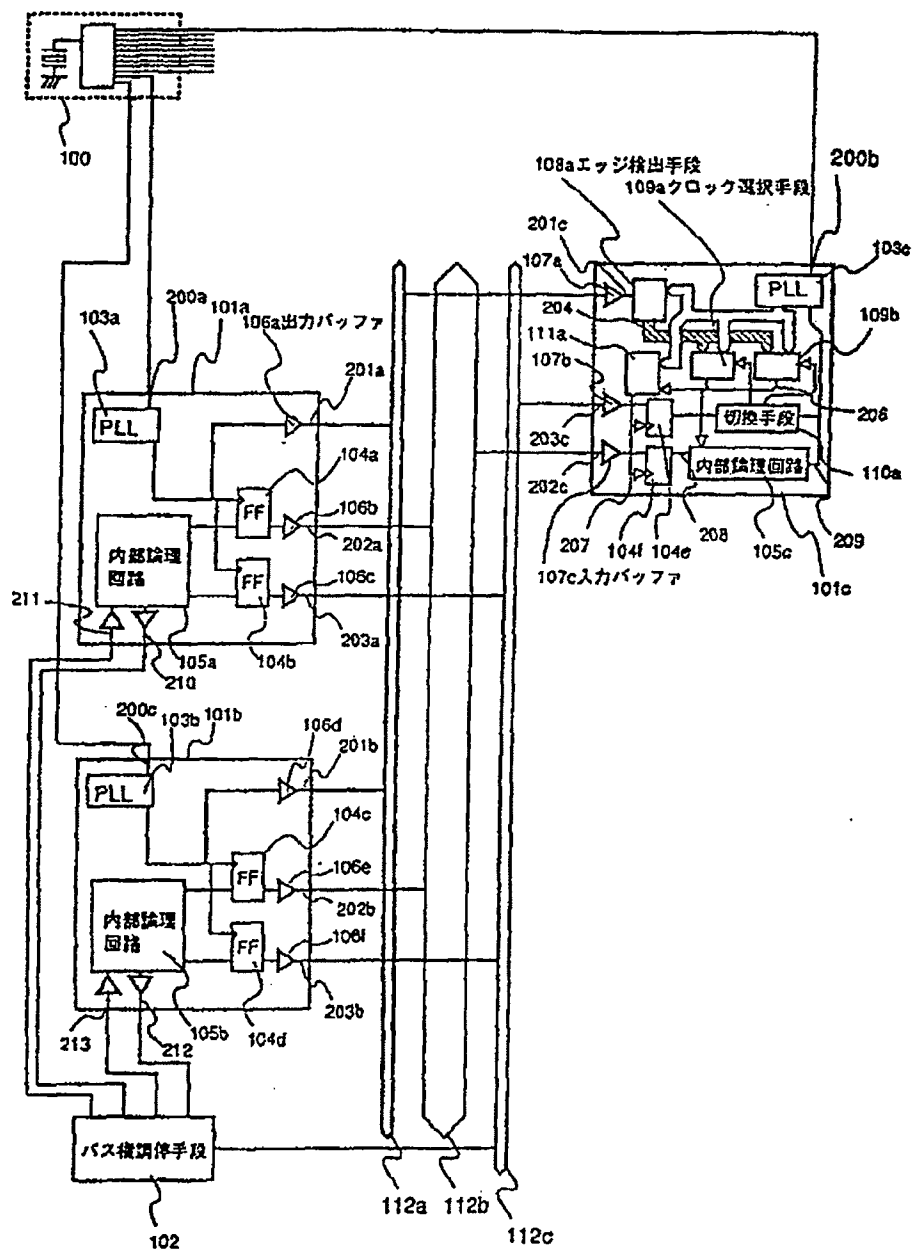


図1

【図2】

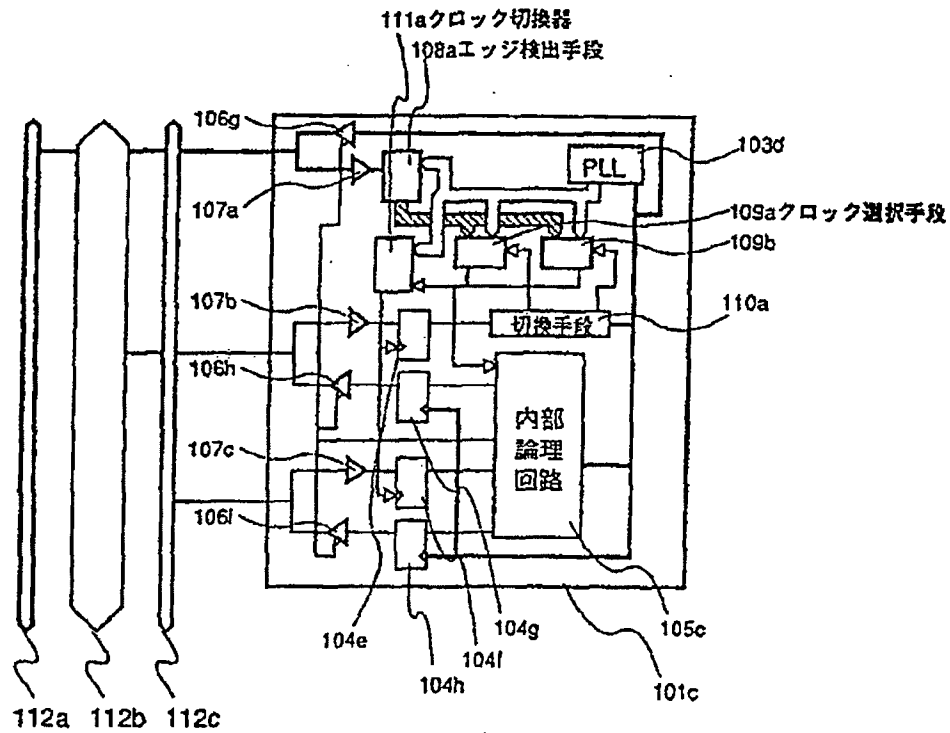


図2

【図8】

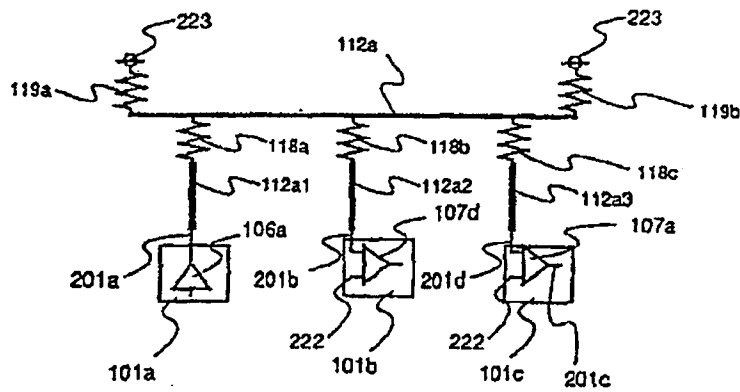


図8

【図5】

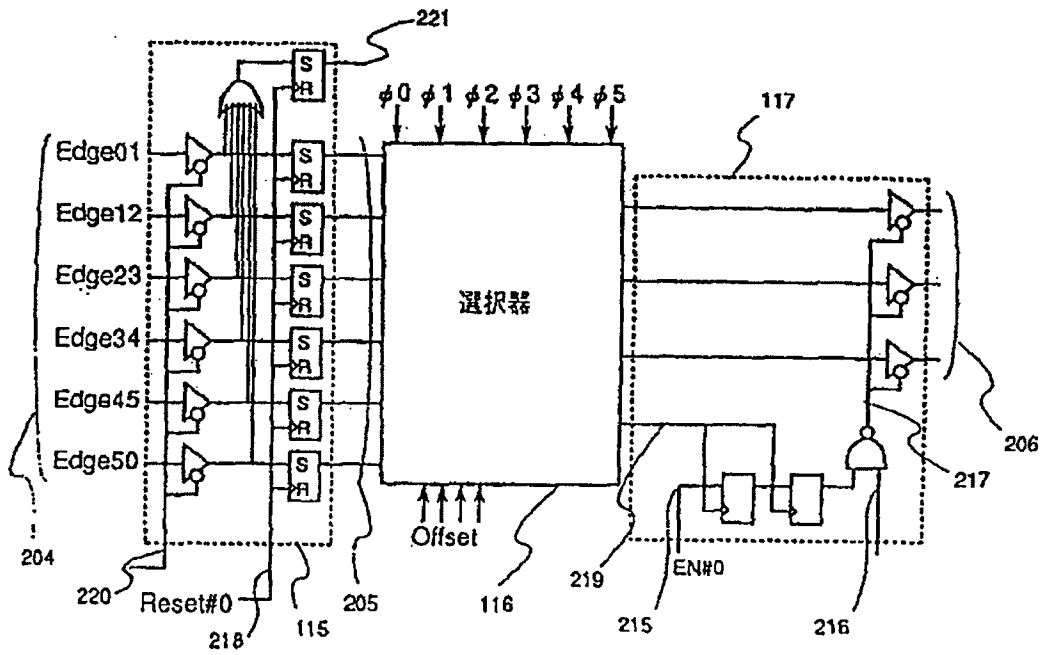


図 5

【図9】

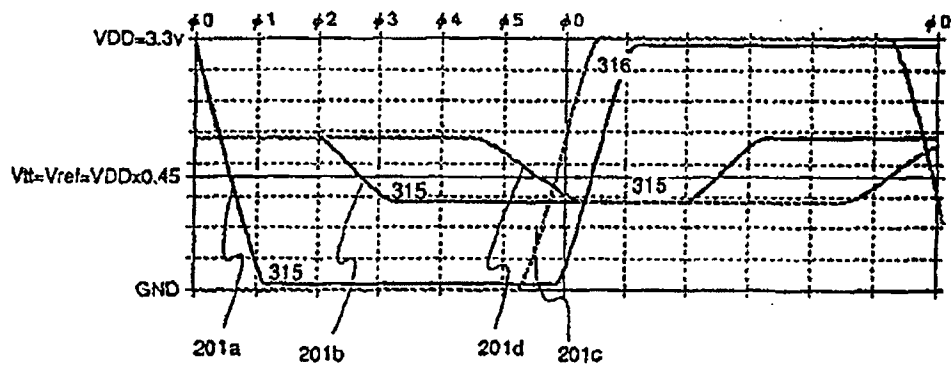


図 9

【図7】

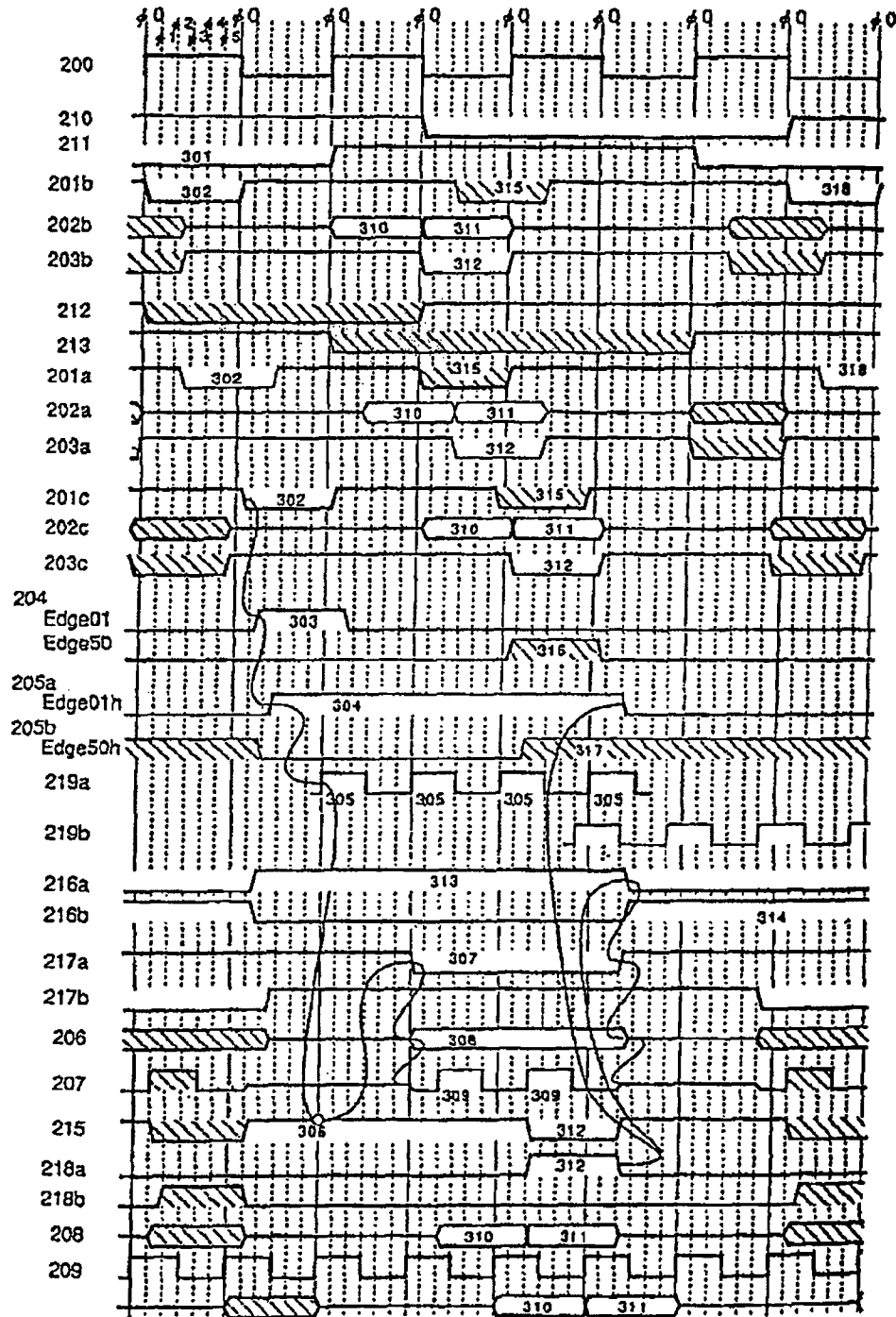


図 7

【図10】

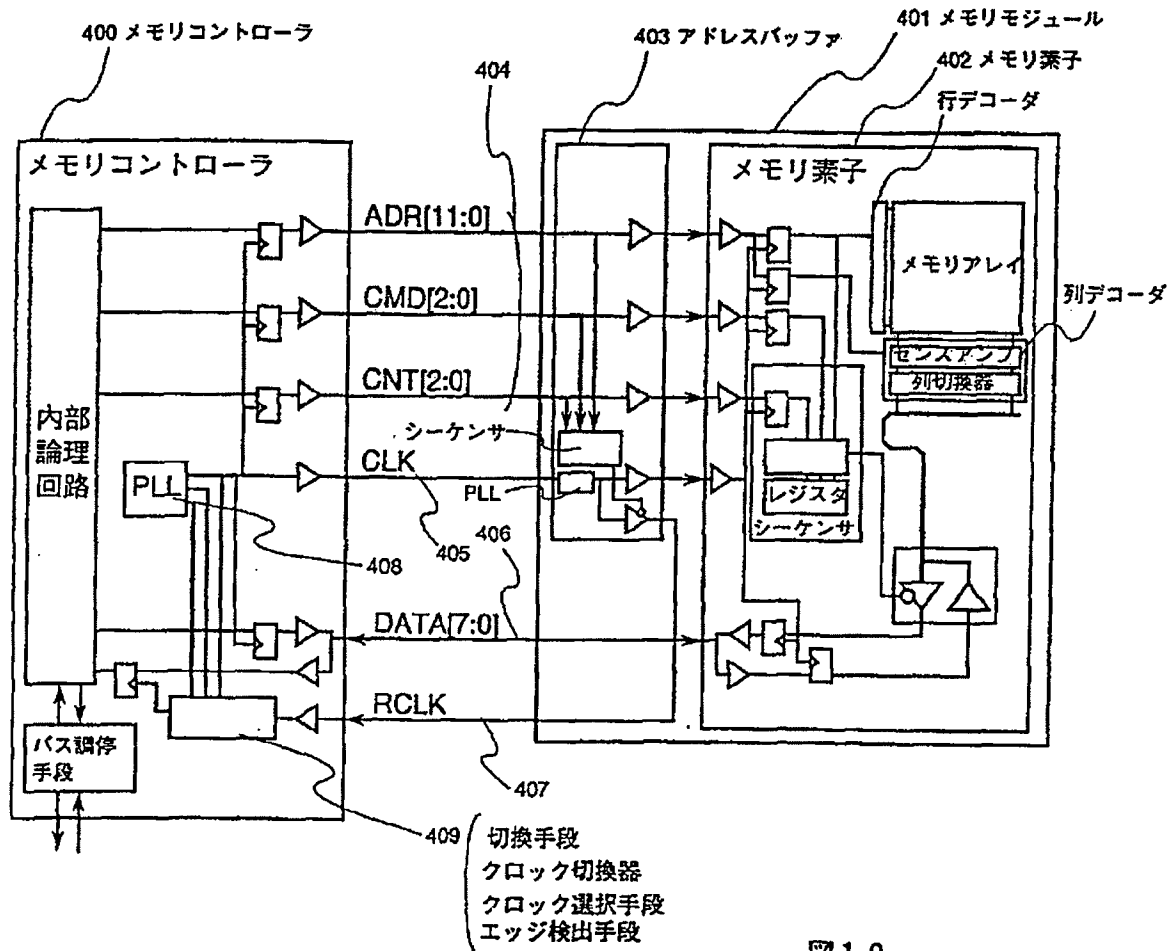


図10

【図14】

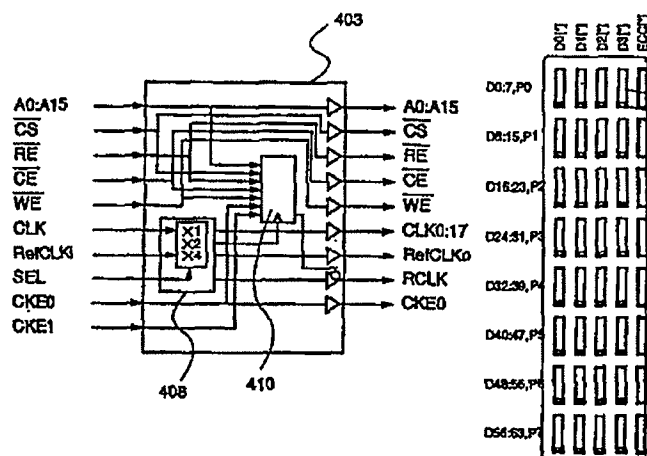


図14

【図25】

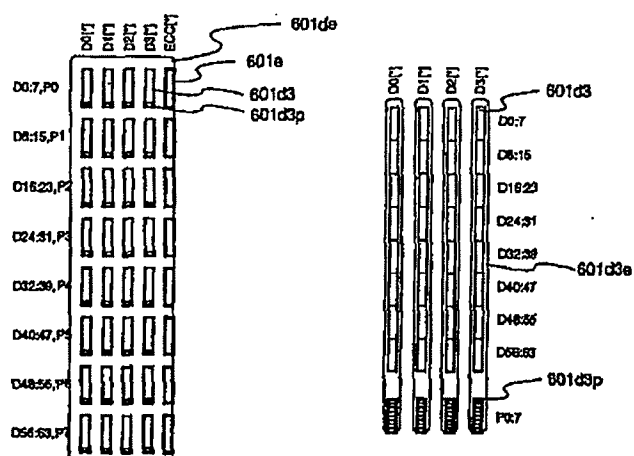


図25

【図11】

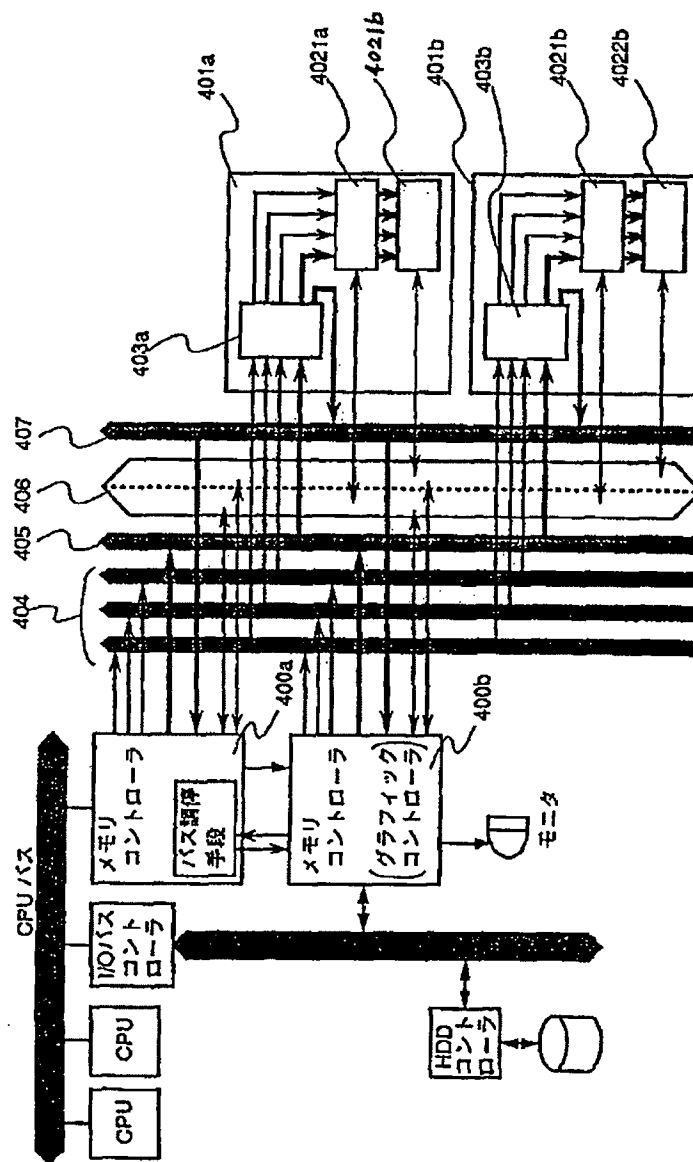


図11

【図12】

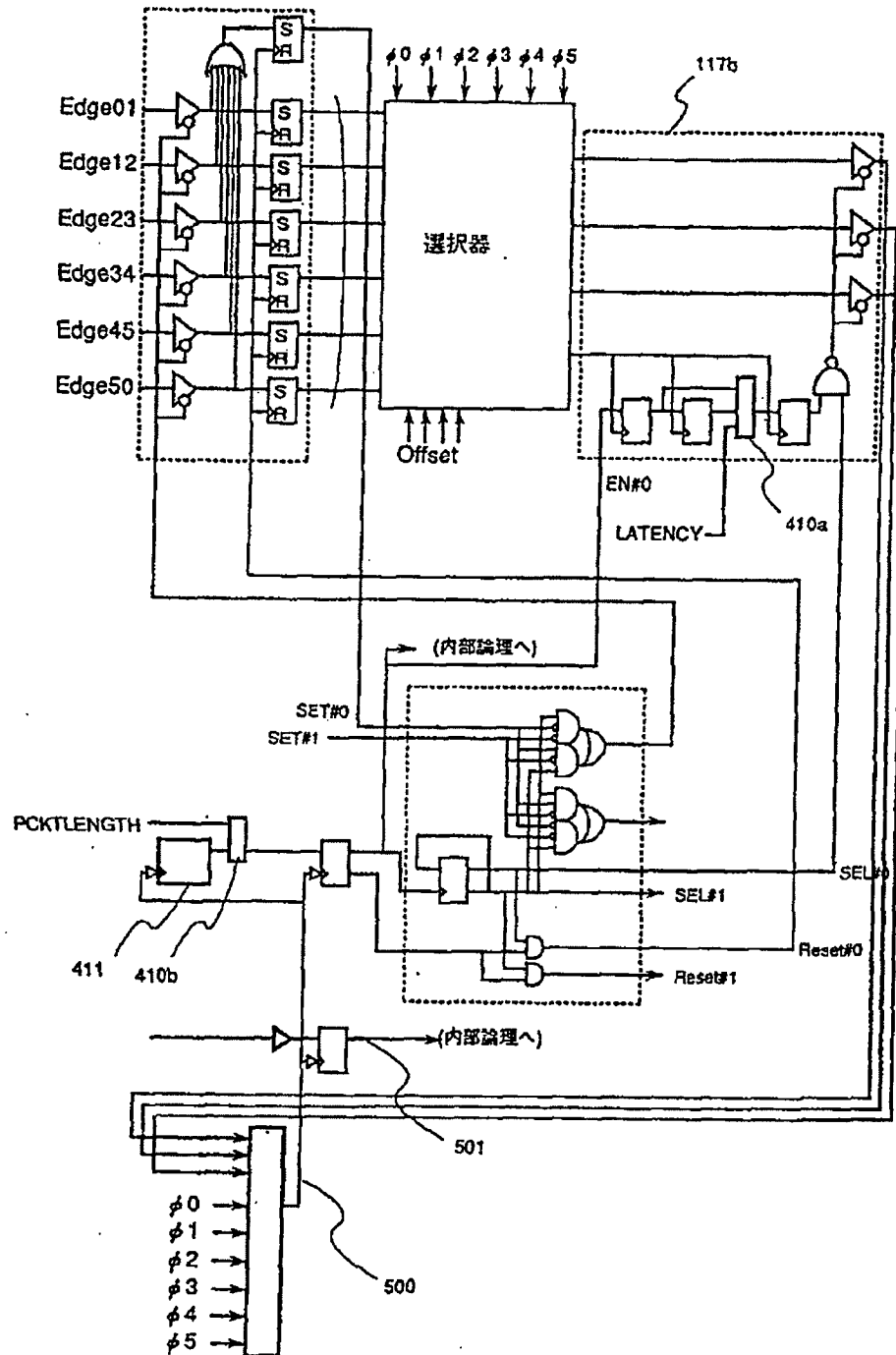


図12

【図13】

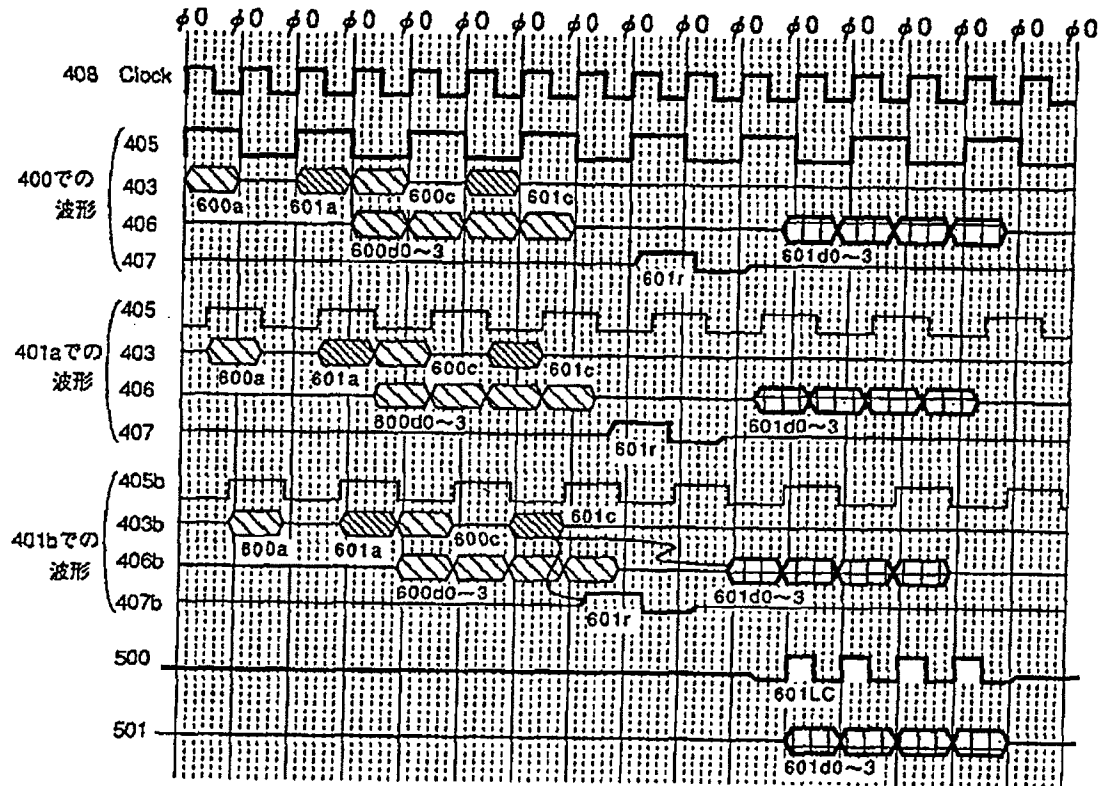


図13

【図17】

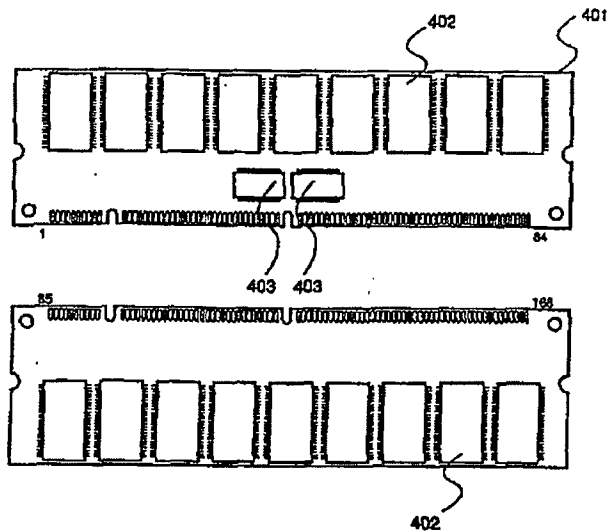


図17

【図18】

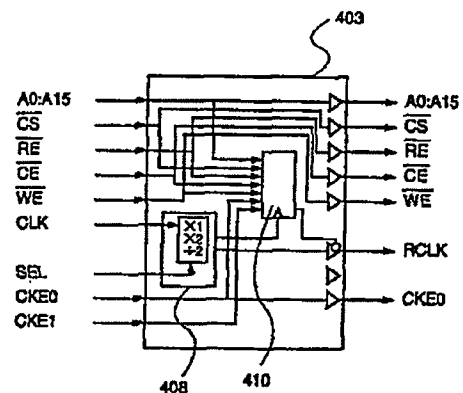


図18

【図15】

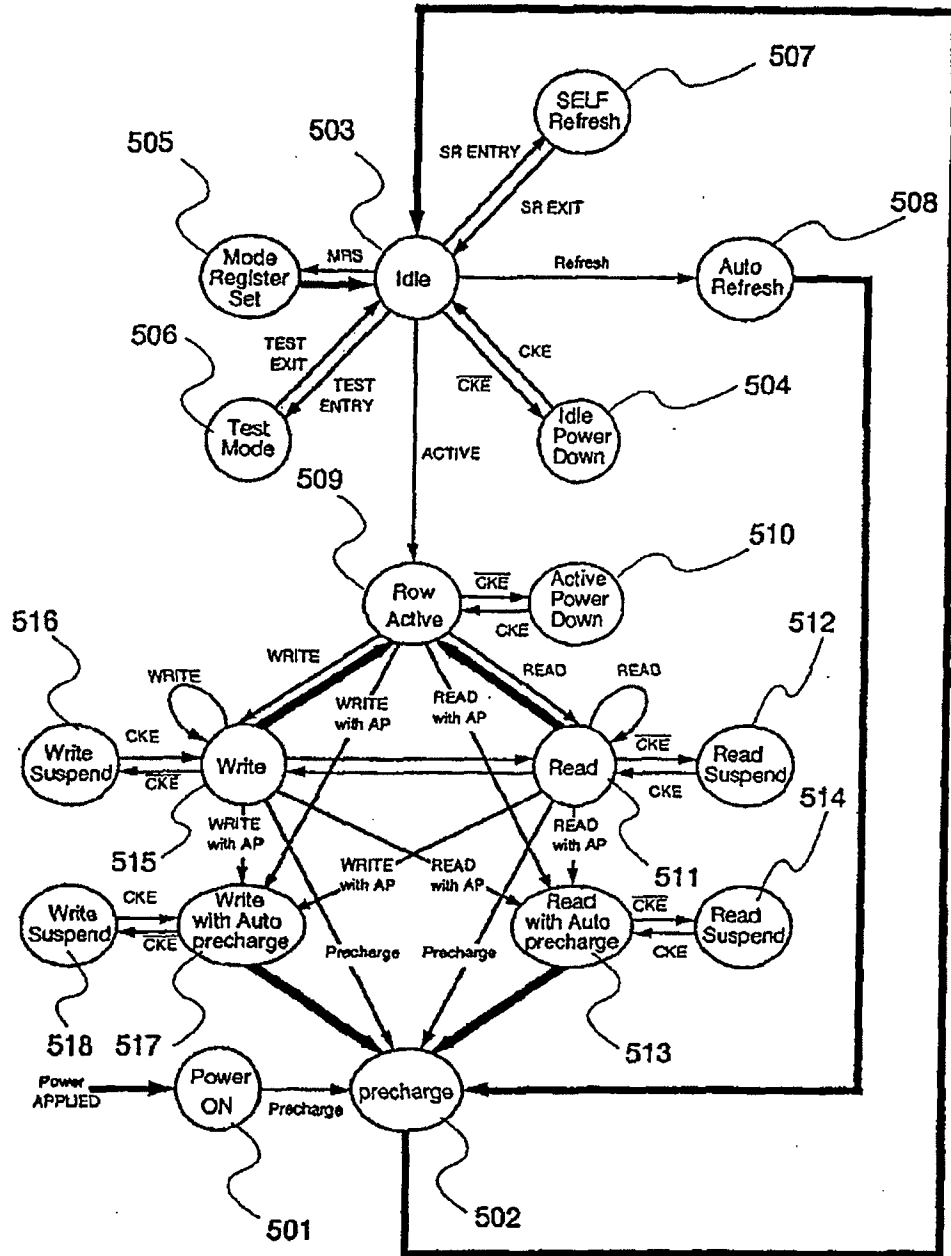


図 15

【図16】

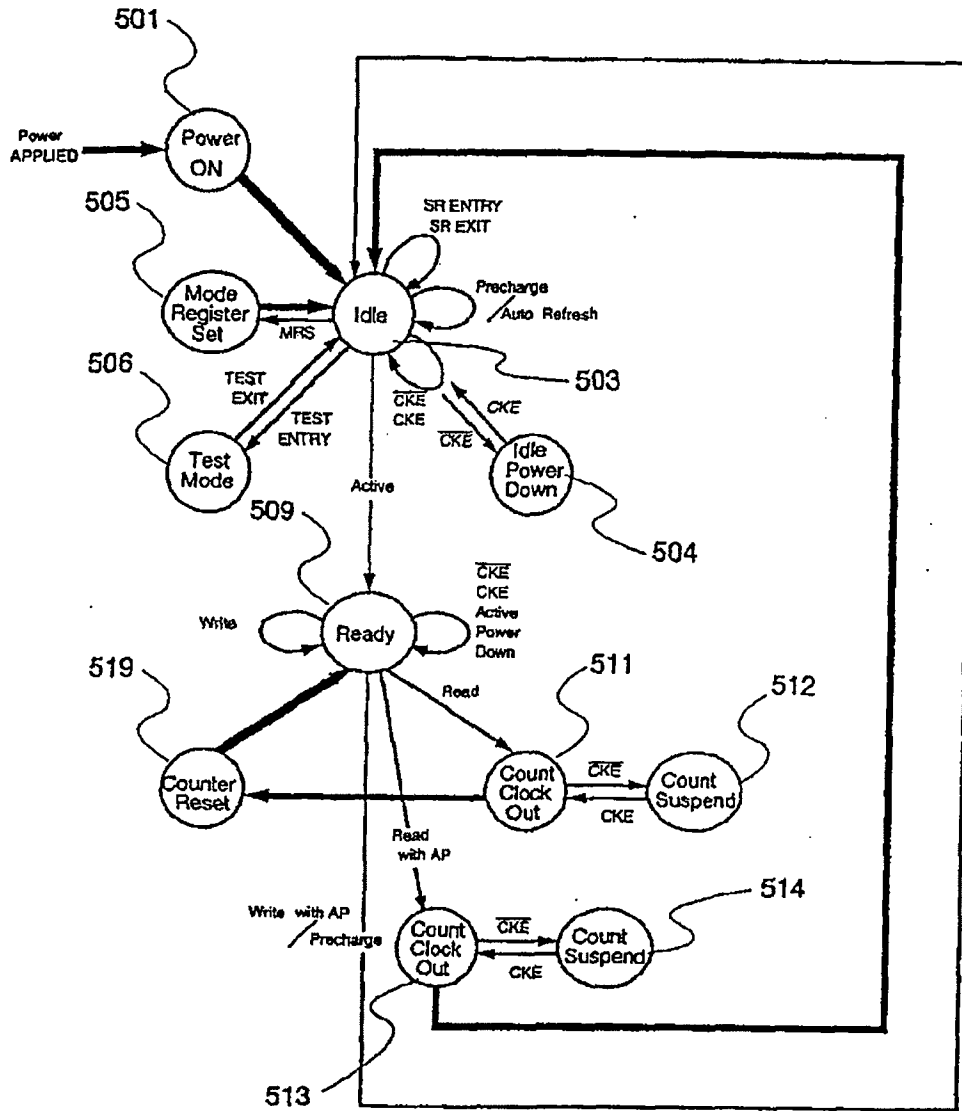


図16

【図19】

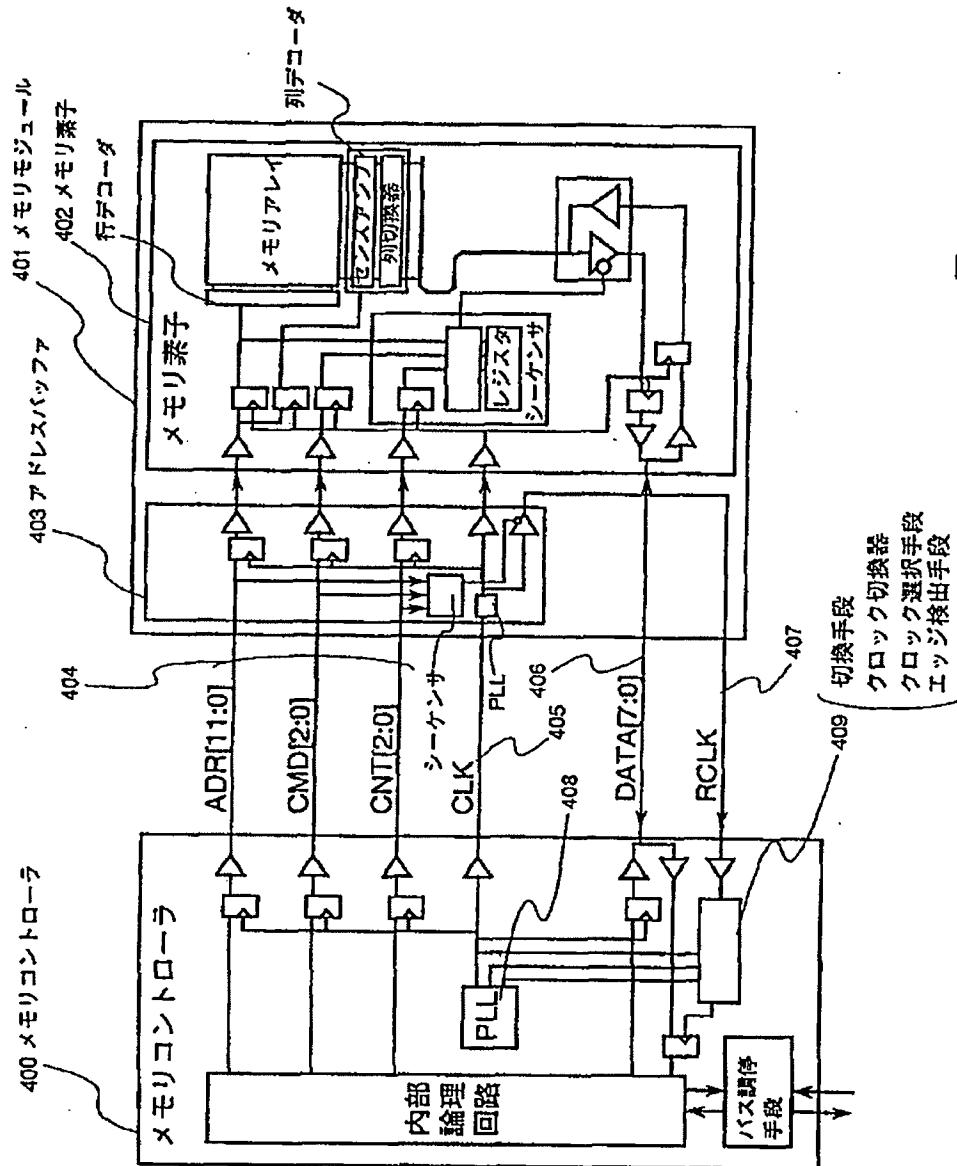


図19

【図20】

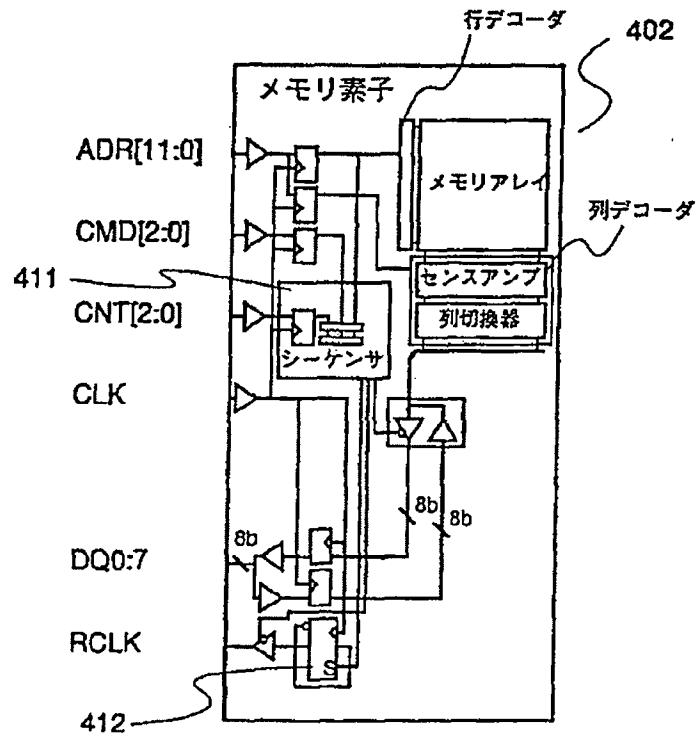


図 20

【図24】

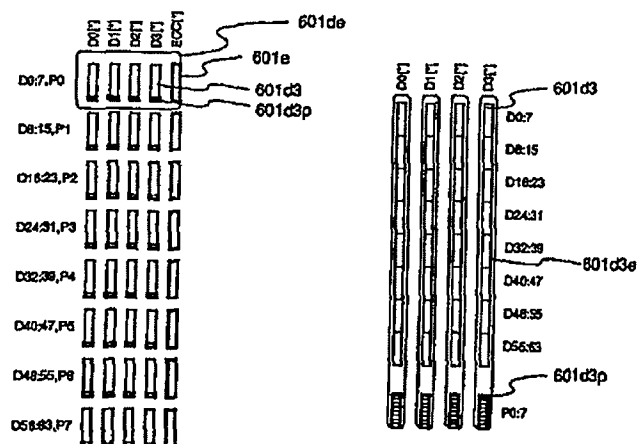


図 24

【図21】

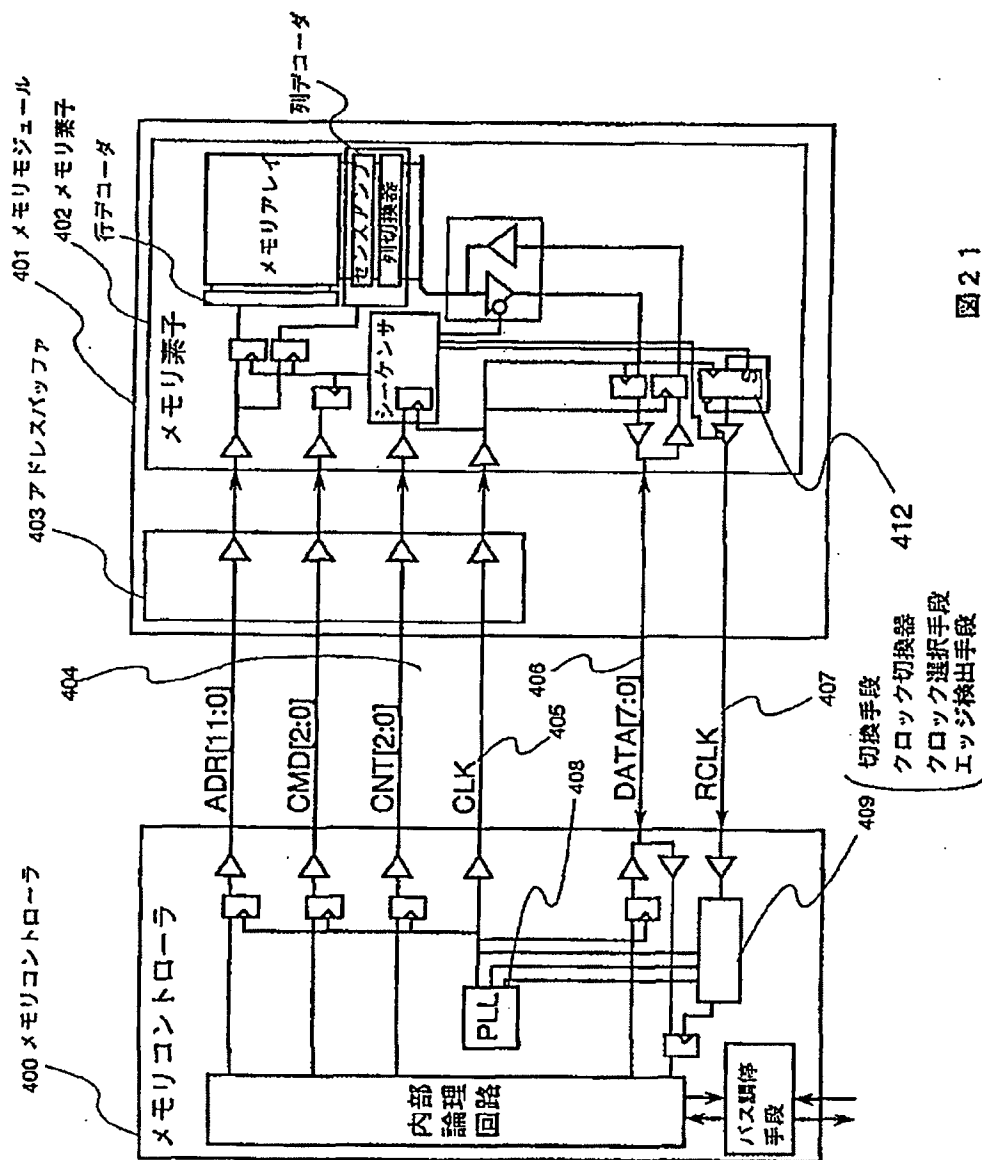


Figure 4 is a block diagram of a memory device 411. The device includes a memory array (メモリアレイ) and a row decoder (行デコーダ) for address ADR[11:0]. It also features a column decoder (列デコーダ) for address CNT[2:0], which is connected to a sense amplifier (センスアンプ), a parity generator (パリティ生成器), and a column selector (列切換器). The device has a clock input (CLK) and a data input/output (DATA). A reset input (RCLK) is also shown. The device is labeled 411 and 412.

圖 22

【図23】

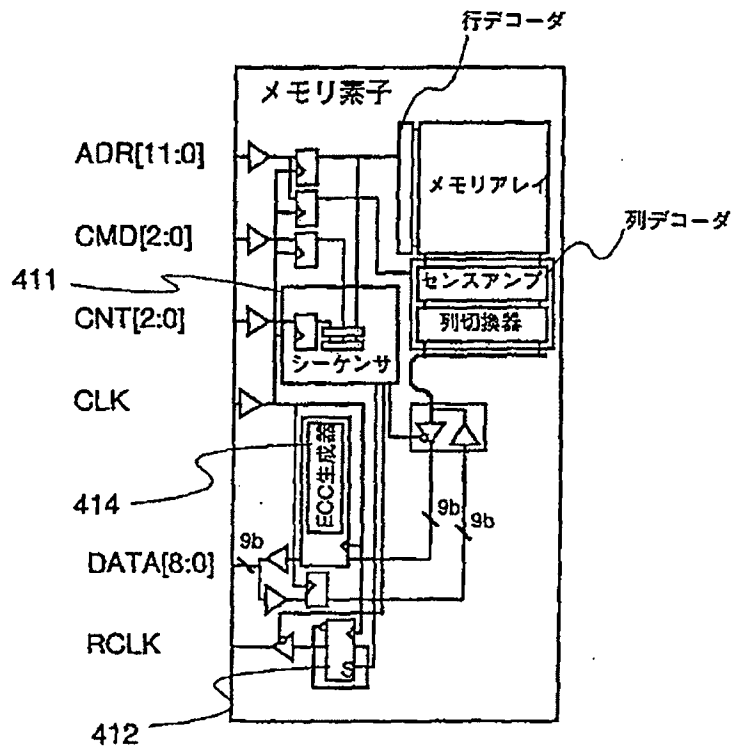


図 2 3